

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Offenlegungsschrift  
10 DE 196 23 846 A 1

51 Int. Cl.<sup>8</sup>:  
H 01 L 29/772  
H 01 L 29/94

21 Aktenzeichen: 196 23 846.3  
22 Anmeldetag: 14. 6. 96  
43 Offenlegungstag: 17. 4. 97

DE 196 23 846 A 1

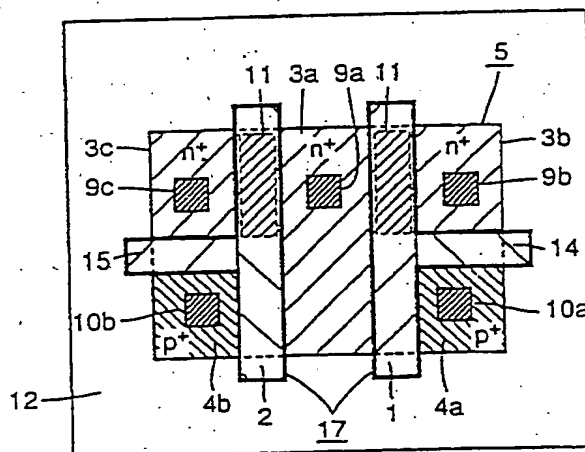
30 Unionspriorität: 32 33 31  
11.10.95 JP 7-263096  
71 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
74 Vertreter:  
Prüfer und Kollegen, 81545 München

72 Erfinder:  
Eimori, Takahisa, Tokio/Tokyo, JP; Oashi, Toshiyuki,  
Tokio/Tokyo, JP; Shimomura, Kenichi, Tokio/Tokyo,  
JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleitereinrichtung

67 Es wird eine SOI-MOS-Transistorstruktur erhalten, die die Verhinderung eines Substrat-Schwabeeffektes ermöglicht, die die Gatekapazität und den Kontaktwiderstand verringert und die Serienschaltung von zwei oder mehr Transistoren ermöglicht. Eine Halbleitereinrichtung, die diesen Transistor einschließt, enthält ein Paar n<sup>+</sup>-Source-/Drainbereiche (3, 3b, 3c) und einen p<sup>+</sup>-Kanalpotentialfestlegungsbereich (4a, 4b), der dadurch gebildet wurde, daß ein aktiver Bereich (5) durch eine erste Leitung (1) und eine zweite Leitung (2) und eine dritte Leitung (14) und eine fünfte Leitung (15), die sich jeweils von den entsprechenden Seitenabschnitten der Leitungen her erstrecken, unterteilt wird. Da Löcher, die in einem effektiven Kanalbereich (11) gespeichert sind, in den p<sup>+</sup>-Kanalpotentialfixierungsbereich (4a, 4b) fließen, kann der Substratschwabeeffekt verhindert werden. Da ein Bereich des Paares der n<sup>+</sup>-Source-/Drainbereiche (3a, 3b) oder (3a, 3c) breiter als der andere Bereich ist, kann der Kontaktwiderstand verringert werden. Darüber hinaus können diese Transistoren in Serie miteinander verbunden werden, da die Gateleitungen nicht miteinander verbunden sind.



DE 196 23 846 A 1

Die vorliegende Erfindung bezieht sich auf eine Halbleitereinrichtung. Insbesondere bezieht sich die vorliegende Erfindung auf eine Halbleitereinrichtung mit einem SOI-MOS-Transistor, in der ein Schwebeseffekt des Substrates vermieden wird.

Ein MOS-Transistor, der in einer Halbleiterschicht vorgesehen ist, die auf einer isolierenden Schicht gebildet ist, wird im allgemeinen ein SOI-MOS-Transistor (Silicon On Insulator-Metal Oxide Semiconductor) genannt. Da der SOI-MOS-Transistor Elemente durch Isolation voneinander trennt und die Elemente einschließlich eines Substrates vollständig voneinander isolieren kann, leidet er unter geringerem Leckstrom und weist eine höhere Stromsteuerbarkeit auf. Darüber hinaus kann der SOI-MOS-Transistor einen "Short-Channel"-Effekt (Kurz-Kanaleffekt) und ähnliches unterdrücken.

Aus diesem Grunde wird es erwartet, daß SOI-MOS-Transistoren zukünftig als Hauptstrukturen eines Transistors mit einer Größenordnung von einem viertel Mikron (Mikrometer) in einer Speichereinrichtung oder einer logischen Schaltung verwendet werden. In Fig. 30 ist ein typischer Aufbau eines SOI-MOS-Transistors gezeigt. Der SOI-MOS-Transistor schließt ein Paar  $n^+$ -Source-/Drainbereiche 3 ein, die zu beiden Seiten einer Gateleitung (bzw. Gateverdrahtung) 17 auf einem aktiven Bereich 5 gebildet sind. Der  $n^+$ -Source-/Drainbereich 3 ist mit einem anderen (nicht gezeigten) Element über einen  $n^+$ -Source-/Drainkontakt 9 verbunden. Ein Transistor mit einem solchen, wie oben beschriebenen Aufbau führt bei fortschreitender Miniaturisierung zu verschiedenen Problemen. Wenn insbesondere die Kanallänge kürzer als  $1\text{ }\mu\text{m}$  wird, so tritt ein steiler Stromanstieg in der  $I_D$ - $I_G$ -Kennlinie auf, es tritt ein Knick-Phänomen in der  $I_D$ - $V_D$ -Kennlinie auf, es findet eine Verringerung der Source-/Drain-Durchbruchspannung statt und es tritt ein Latch-Phänomen in der  $I_D$ - $V_G$ -Kennlinie, sowie weitere Effekte, auf, wie sie Handotai Kenkyu 40, herausgegeben durch Kogyochosakai: 166 und 167, beschrieben sind.

Diese Phänomene verursachen eine Verschlechterung der Eigenschaften des SOI-MOS-Transistors. Eine solche Verschlechterung der Eigenschaften beruht auf einem Substrat-Schwebeseffekt. Der Substrat-Schwebeseffekt wird auch parasitärer bipolarer Effekt genannt.

Der parasitäre bipolare Effekt wird mit Bezug auf Fig. 31 beschrieben. Wenn eine Drainspannung erhöht wird, so nimmt ein elektrisches Feld in der Nähe eines Drainbereiches 33 in einer Kanalrichtung einen erheblich hohen Wert an. Ein Elektron 30 in einem unter der Gateleitung 17 angeordneten effektiven Kanalbereich wird durch dieses starke elektrische Feld zum Erreichen eines hoch-energetischen Zustandes beschleunigt (angedeutet durch Bezugszeichen 31). Das sich in diesem Zustand befindende Elektron stößt (angezeigt durch Bezugszeichen 34) mit einem Siliziumatom in der Nähe eines Endabschnittes des Drainbereiches 33 zusammen und erzeugt eine große Anzahl von Elektron-Loch-Paaren. Ein Elektron 35 des durch Stoßionisation erzeugten Elektronen-Loch-Paares wird durch ein hohes elektrisches Drainfeld angezogen und fließt in den Drainbereich 33 als Teil eines Drainstromes. Dagegen wird ein Loch 7 durch das elektrische Drainfeld zurückgeführt und unterhalb des effektiven Kanalbereiches 11 gespeichert.

Wenn die durch Stoßionisation erzeugten Löcher un-

terhalb des effektiven Kanalbereiches 11 gespeichert werden, wie dies oben beschrieben ist, so erhöht sich das Potential in der Nähe des effektiven Kanalbereiches 11 und eines Sourcebereiches 32, wodurch die Höhe einer Source-Drain-Potentialbarriere verringert wird und die Injektion eines Elektrons 36 aus dem Sourcebereich 32 induziert wird. Dies verursacht den oben beschriebenen parasitären bipolaren Effekt.

Als direktes Verfahren zum Verhindern eines solchen parasitären bipolaren Effektes, der durch den Substrat-Schwebeseffekt verursacht wird, wurde ein Kanalpotentialfestlegungsaufbau zum Festlegen bzw. Festhalten oder Fixieren des Potentials in einem Kanalbereich vorgeschlagen. So sind z. B. eine H-förmige Kanalpotentialfestlegungsstruktur mit einer H-Gateleitung 17, wie sie in Fig. 32 dargestellt ist und eine T-förmige Kanalpotentialfestlegungsstruktur mit einer T-Gateleitung 17, wie sie in den Fig. 33 oder 34 gezeigt ist, durch J. Collinge in "Silicon-on-Insulator Technology" 102-04, offenbart.

Es wird auf Fig. 32 Bezug genommen. Der aktive Bereich 5 ist durch die H-Gateleitung 17 in vier Bereiche unterteilt, und weist eine erste Leitung (bzw. Verdrahtung oder Leiterbahn) 1, eine zweite Leitung 2 und eine dritte Leitung 14 auf. Genauer gesagt ist das Paar der  $n^+$ -Source-/Drainbereiche 3 mit den  $n^+$ -Source-/Drainkontakten 9 auf beiden Seiten der ersten Leitung 1 angeordnet und zwischen einem Seitenabschnitt der zweiten Leitung 2 und einem Seitenabschnitt der dieser gegenüberliegenden dritten Leitung 14 eingeschlossen. Ein  $p^+$ -Kanalpotentialfestlegungsabschnitt 4 ist auf den jeweiligen anderen Seitenabschnitten der zweiten Leitung 2 und der dritten Leitung 14 angeordnet. Ein Bereich unterhalb der Gateleitung 17 ist vom p-Typ. Der effektive Kanalbereich 11 befindet sich unter der ersten Leitung 1.

Es wird auf Fig. 33 oder 34 Bezug genommen. Der aktive Bereich 5 ist in drei Bereiche durch die T-Leitung 17 unterteilt und weist eine erste Leitung 1 und eine zweite Leitung 2 auf. Das Paar der  $n^+$ -Source-/Drainbereiche 3 ist an beiden Seitenabschnitten der ersten Leitung 1 auf einem Seitenabschnitt der zweiten Leitung 2 angeordnet. Auf dem anderen Seitenabschnitt der zweiten Leitung 2 ist der  $p^+$ -Kanalpotentialfestlegungsbereich 4 angeordnet. Unterhalb der ersten Leitung 1 befindet sich der effektive Kanalbereich 11 vom p-Typ.

In dem oben beschriebenen Aufbau eines SOI-MOS-Transistors dringen Löcher, die in den effektiven Kanalbereich 11 fließen, durch den unter der zweiten Leitung 2 oder der dritten Leitung 14 angeordneten p-Bereich zu dem  $p^+$ -Kanalpotentialfestlegungsbereich 4 um dann an einem  $p^+$ -Kanalpotentialfestlegungskontakt 10 ausgestoßen zu werden. Als Ergebnis hiervon kann der Substratschwebeseffekt verhindert werden.

Man stelle sich nun einen Transistor vor, der durch eine Verbindung einer Mehrzahl von SOI-MOS-Transistoren gebildet ist, wobei jeder dieser Transistoren einen wie oben beschriebenen Aufbau aufweist. In Fig. 35 ist ein Transistor dargestellt, in welchem zwei der in Fig. 32 gezeigten SOI-MOS-Transistoren in lateraler Richtung in Serie verbunden sind. Wie in Fig. 35 gezeigt ist, sind die zweiten Leitungen 2 und die dritten Leitungen 14 der beiden Transistoren miteinander verbunden. Demzufolge sind die Gatepotentiale der beiden Transistoren gleich. Da die Potentiale der individuellen Transistoren nicht gesteuert werden können, kann ein solcher Transistoraufbau nicht allgemein verwendet werden.

Darüber hinaus sind in einem solchen SOI-MOS-Transistor, wie er in Fig. 36 dargestellt ist, die zweiten Leitungen 2 der individuellen Transistoren miteinander verbunden, so daß die Gatepotentiale der Transistoren die gleichen sind. Demzufolge kann der in Fig. 36 gezeigte SOI-MOS-Transistor nicht allgemein verwendet werden.

In den in Fig. 32, 33, 35 oder 36 gezeigten Figuren sind die zweite Leitung 2 oder die dritte Leitung 14 auf dem aktiven Bereich und außerhalb des effektiven Kanalbereiches 11 gebildet. Diese Leitungen dienen als Maske zur Bildung des  $p^+$ -Kanalpotentialfestlegungsbereiches 4. Diese Leitungen erhöhen jedoch die Kapazität der Gateleitung und des darunterliegenden aktiven Bereiches und verursachen so eine Verringerung der Schaltgeschwindigkeit des Transistors.

Wenn zwei der in Fig. 34 dargestellten SOI-MOS-Transistoren miteinander in Serie geschaltet werden, kann ein Aufbau erzielt werden, wie er in Fig. 37 dargestellt ist. In diesem Aufbau sind die Gateleitungen der jeweiligen Transistoren nicht miteinander verbunden und die Kanalpotentiale können individuell festgelegt werden.

Der in Fig. 34 gezeigte SOI-MOS-Transistor weist jedoch ein Problem mit Bezug auf seinen Herstellungsprozeß auf. Wenn insbesondere bei der Bildung der Gateleitung eine Abweichung der Maske auftritt, so kann ein Endabschnitt der zweiten Leitung 2 innerhalb des aktiven Bereiches 5 gebildet werden, wie dies in Fig. 38 gezeigt ist (angezeigt durch B in der Figur). Die erste Leitung 1 und die zweite Leitung 2 dienen als Maske für eine Ionenimplantation zur Bildung des  $p^+$ -Kanalpotentialfestlegungsbereiches 4 zur Festlegung des Kanalpotentials. Wenn demzufolge die Gateleitung so wie in Fig. 38 gezeigt gebildet wird, werden  $ph$ -Ionen ebenfalls in Teilen der  $n^+$ -Source-/Drainbereiche 3 implantiert. Als Ergebnis hiervon kann die Durchbruchsspannung zwischen dem  $n^+$ -Source-/Drainbereich 3 und dem  $p^+$ -Kanalpotentialfestlegungsbereich 4 nicht aufrecht erhalten werden und dieser SOI-MOS-Transistor kann nicht als Transistor dienen. Es sei darauf hingewiesen, daß die Ecken des Musters in Fig. 38 durch Diffraktion (Beugung) zum Zeitpunkt der Belichtung abgerundet sind.

Darüber hinaus verringert sich mit der Miniaturisierung der Einrichtung die Fläche der  $n^+$ -Source-/Drainkontakte 9, die in dem  $n^+$ -Source-/Drainbereich 3 gebildet sind. Dies verringert die Kontaktfläche und erhöht den Widerstand des Kontaktes und verschlechtert somit die elektrischen Eigenschaften des Transistors.

Wie oben beschrieben wurde zur Verhinderung des parasitären bipolaren Effektes, der durch den Substratschwebeeffect in SOI-MOS-Transistoren verursacht wird, ein Aufbau berücksichtigt, wie er in den Fig. 32 bis 34 gezeigt ist, der einen Kanalpotentialfestlegungsbereich einschließt. Wenn jedoch eine Mehrzahl von SOI-MOS-Transistoren miteinander verbunden sind, so sind auch die Gateleitungen der jeweiligen Transistoren miteinander verbunden. Demzufolge können die Gatepotentiale der individuellen Transistoren nicht gesteuert werden und ein solcher Aufbau ist nicht allgemein verwendbar.

Selbst wenn ein Aufbau verwendet wird, wie er in Fig. 37 gezeigt ist, in dem die Gatepotentiale der individuellen Transistoren gesteuert werden können, besteht ein Problem, welches mit der Maskenabweichung bzw. Verschiebung bei der Bildung der Gateleitung zusammenhängt. Genauer gesagt sind wie in Fig. 38 gezeigt

ist, der  $n^+$ -Source-/Drainbereich 3 und der  $p^+$ -Kanalpotentialfestlegungsbereich 4 elektrisch miteinander verbunden. Demzufolge wirkt dieser Aufbau nicht als Transistor.

Darüber hinaus besteht die Notwendigkeit zur Bildung einer zweiten Leitung 2 oder einer dritten Leitung 14, wie dies in Fig. 32 oder 33 gezeigt ist, um einen  $p^+$ -Kanalpotentialfestlegungsbereich 4 hinzuzufügen. Hierdurch wird eine so genannte Gatekapazität der Gateleitung und des aktiven Bereiches erhöht, wodurch die Schaltgeschwindigkeit bzw. Verarbeitungsgeschwindigkeit oder Steuergeschwindigkeit verringert wird.

Bei der weiteren Miniaturisierung der Einrichtung verringert sich die Größe der  $n^+$ -Source-/Drainkontakte 9, die mit den  $n^+$ -Source-/Drainbereichen 3 verbunden sind, die in Fig. 32 oder 33 gezeigt sind. Dies verringert die Kontaktfläche und erhöht hierdurch den Kontaktwiderstand und verschlechtert die elektrischen Eigenschaften.

Die Aufgabe der vorliegenden Erfindung besteht darin, einen SOI-MOS-Transistor bereitzustellen, in dem eine Gatekapazität und ein Kontaktwiderstand zur Verbesserung der elektrischen Eigenschaften reduziert sind, wobei der SOI-MOS-Transistor so aufgebaut ist, daß eine Verbindung einer Mehrzahl der Transistoren und ein individueller Betrieb derselben möglich ist und in dem der Einfluß einer Verschiebung einer Gateleitung, wenn eine solche während des Herstellungsverfahrens des SOI-MOS-Transistors auftritt, verhindert wird.

Nach einer Ausgestaltung der vorliegenden Erfindung schließt eine Halbleitereinrichtung einen aktiven Bereich, der aus einer Halbleiterschicht besteht und auf einem isolierenden Film gebildet und von einem Isolationsbereich umgeben ist, und eine Gateleitung ein. Die Gateleitung schließt eine erste Leitung ein, die auf dem aktiven Bereich so ausgebildet ist, daß sie den aktiven Bereich überkreuzt und die Gateleitung schließt ferner eine zweite Leitung ein, die sich von einem Seitenabschnitt der ersten Leitung zu dem Isolationsbereich hin erstreckt.

Der aktive Bereich schließt einen ersten Bereich ein, der auf dem anderen Seitenabschnitt der ersten Leitung angeordnet ist. Der aktive Bereich schließt ferner einen zweiten und einen dritten Bereich ein, die zu beiden Seiten der zweiten Leitung auf einem Seitenabschnitt der ersten Leitung angeordnet sind.

Der erste bis dritte Bereich weisen jeweils einen Bereich in ihrer Oberfläche auf, in welchem ein Kontakt für eine elektrische Verbindung mit einem anderen Element gebildet werden kann. Der erste und der zweite Bereich sind von einem ersten Leitungstyp. Dagegen sind der dritte Bereich und ein Bereich, der unterhalb der Gateleitung angeordnet ist, von einem zweiten Leitungstyp. Weiterhin bilden die erste Leitung und der erste und der zweite Bereich einen SOI-MOS-Transistor.

Nach diesem Aufbau kann ein Kontakt in jedem Bereich gebildet werden. Löcher, die in dem Bereich unterhalb der ersten Leitung gespeichert sind, fließen in den Bereich des zweiten Leitungstyps. Einer der beiden Bereiche des ersten Leitungstyps kann breiter als der andere Bereich ausgebildet sein. Mit der ersten Leitung und der zweiten Leitung, die den aktiven Bereich überqueren und als Maske verwendet werden, kann der Bereich des zweiten Leitungstyps in einer selbst-gerichteten Art und Weise gebildet werden.

Als Ergebnis hiervon kann der parasitäre bipolare

Effekt verhindert werden. Der Widerstand des in jedem Bereich gebildeten Kontaktes kann reduziert werden und der Kontakt zwischen dem Bereich des ersten Leitungstyps und dem Bereich des zweiten Leitungstyps, der mit der Positionsabweichung der Gateleitung in Verbindung gebracht wird, kann verhindert werden.

Demzufolge kann eine Halbleitereinrichtung mit einem SOI-MOS-Transistor erhalten werden, die in ihren elektrischen Eigenschaften überlegen ist und die eine höhere Zuverlässigkeit aufweist.

Der Isolationsbereich kann in den ersten Bereich und den unterhalb der Gateleitung angeordneten Bereich hineinreichen und ein Teil der Grenze zwischen dem Isolationsbereich und dem aktiven Bereich kann unterhalb und entlang der ersten Leitung angeordnet sein.

In einem solchen Falle wird die Kontaktfläche zwischen der ersten Leitung und dem Bereich unterhalb der ersten Leitung verringert.

Demzufolge wird die Gatekapazität verringert. Als Ergebnis hiervon wird die Betriebsgeschwindigkeit des Transistors erhöht und es kann eine Halbleitereinrichtung mit sehr guter Leistung erhalten werden.

Ferner kann der Isolationsbereich in den dritten Bereich und den Bereich, der unterhalb der Gateleitung angeordnet ist, hineinreichen und ein Teil der Grenze zwischen dem Isolationsbereich und dem aktiven Bereich kann unterhalb und entlang der ersten Leitung und der zweiten Leitung angeordnet sein.

Auch in einem solchen Fall wird eine Kontaktfläche zwischen der ersten Leitung und der zweiten Leitung und dem Bereich unterhalb dieser Leitungen verringert.

Demzufolge wird die Gatekapazität reduziert. Als ein Ergebnis hiervon wird die Betriebsgeschwindigkeit des Transistors erhöht und eine Halbleitereinrichtung mit einer sehr guten Leistung kann erhalten werden.

Nach einer weiteren Ausgestaltung der vorliegenden Erfindung schließt eine Halbleitereinrichtung einen aktiven Bereich, der aus einer Halbleiterschicht auf einem Isolationsfilm gebildet und von einem Isolationsbereich umgeben ist und eine Gateleitung ein.

Die Gateleitung schließt eine Leitung ein, die auf dem aktiven Bereich so ausgebildet ist, daß sie diesen kreuzt bzw. überkreuzt.

Der aktive Bereich schließt einen ersten Bereich ein, der auf einem Seitenabschnitt der Leitung angeordnet ist. Der aktive Bereich schließt ferner in einem Bereich, der auf dem anderen Seitenabschnitt der Leitung angeordnet ist, einen Isolationsbereich ein, der eine buchtörmige Form aufweist und der bis unterhalb der Leitung reicht, so daß der Bereich zweigeteilt wird und dessen Grenze mit dem aktiven Bereich teilweise unterhalb und entlang der Verdrahtung angeordnet ist. Der aktive Bereich schließt einen zweiten und einen dritten Bereich auf beiden Seiten des buchtörmigen Isolationsbereiches ein.

Der erste und dritte Bereich weisen jeweils eine Größe auf, die es zuläßt, daß ein Kontakt für eine elektrische Verbindung zu einem anderen Element in ihrer Oberfläche gebildet wird. Der erste und der zweite Bereich sind von einem ersten Leitungstyp. Dagegen ist der dritte Bereich und der Bereich, der unterhalb der Gateleitung angeordnet ist, von einem zweiten Leitungstyp. Die Leitung und der erste und der zweite Bereich bilden einen SOI-MOS-Transistor.

In diesem Aufbau fließen Löcher, die in den Bereich unterhalb der Leitung gespeichert sind, in den Bereich des zweiten Leitungstyps. Einer der beiden Bereiche des ersten Leitungstyps kann breiter als der andere Bereich

ausgebildet sein. Eine Kontaktfläche zwischen der Gateleitung und dem Bereich unterhalb der Gateleitung ist verringert.

Demzufolge kann der parasitäre bipolare Effekt verhindert werden. Der Kontaktwiderstand in jedem Bereich kann verringert werden. Die Gatekapazität wird verringert.

Als Ergebnis hiervon kann eine Halbleitereinrichtung mit einem SOI-MOS-Transistor erhalten werden, die eine sehr gute Leistung und überlegene elektrische Eigenschaften aufweist und mit einer hohen Geschwindigkeit betrieben werden kann.

Nach einer weiteren Ausgestaltung der vorliegenden Erfindung schließt eine Halbleitereinrichtung einen aktiven Bereich, der aus einer Halbleiterschicht auf einem Isolationsfilm und durch einen Isolationsbereich umgeben ist, und eine Gateleitung ein.

Die Gateleitung schließt eine erste Leitung und eine zweite Leitung ein, die auf dem aktiven Bereich so gebildet sind, daß sie denselben überqueren bzw. überkreuzen, ohne daß sie einander überkreuzen. Die Gateleitung schließt ferner eine dritte Leitung ein, die von einem Seitenabschnitt der ersten Leitung zu dem Isolationsbereich verläuft. Die Gateleitung schließt ferner eine vierte Leitung ein, die so gebildet ist, daß sie von einem Seitenabschnitt der zweiten Leitung zu dem Isolationsbereich verläuft.

Der aktive Bereich schließt einen ersten Bereich ein, der auf dem jeweiligen anderen Seitenabschnitt der ersten Leitung und der zweiten Leitung gebildet ist. Der aktive Bereich schließt ferner einen zweiten und einen dritten Bereich ein, die zu beiden Seiten der dritten Leitung und auf einem Seitenabschnitt der ersten Leitung gebildet sind. Der aktive Bereich schließt ferner einen vierten und einen fünften Bereich ein, die zu beiden Seiten der vierten Leitung auf einem Seitenabschnitt der zweiten Leitung gebildet sind.

Der erste bis fünfte Bereich weist jeweils eine Größe auf, die zuläßt, daß ein Kontakt für eine elektrische Verbindung mit einem anderen Element in ihrer Oberfläche gebildet werden kann. Der erste, zweite und vierte Bereich sind von einem ersten Leitungstyp. Dagegen sind der dritte und fünfte Bereich und ein Bereich, der unterhalb der Gateleitung angeordnet ist, von einem zweiten Leitungstyp. Die erste und die zweite Leitung und der erste, zweite und vierte Bereich bilden einen SOI-MOS-Transistor.

Nach diesem Aufbau sind die Gateleitungen der beiden Transistoren nicht miteinander verbunden. Löcher, die in dem Bereich unterhalb der ersten Leitung oder der zweiten Leitung gespeichert sind, fließen in den Bereich des zweiten Leitungstyps. Ein Kontakt kann in jedem Bereich gebildet werden. Einer der beiden Bereiche des ersten Leitungstyps von einem Transistor ist breiter ausgebildet als der andere Bereich. Werden Teile der ersten bis vierten Leitung, die den aktiven Bereich überkreuzen, als Maske verwendet, so kann der Bereich des zweiten Leitungstyps in einer selbst-ausgerichteten Art und Weise gebildet werden.

Demzufolge können die Gatepotentiale der beiden Transistoren individuell gesteuert werden. Darüber hinaus kann der parasitäre bipolare Effekt der jeweiligen Transistoren verhindert werden. Die Kontaktwiderstände in jedem Bereich können reduziert werden. Der Kontakt zwischen dem Bereich des ersten Leitungstyps und dem Bereich des zweiten Leitungstyps, der durch eine örtliche Abweichung bzw. eine Abweichung der Position der Gateleitung verursacht wird, kann verhindert

werden.

Als Ergebnis hiervon kann eine Halbleitereinrichtung erhalten werden, die einen SOI-MOS-Transistor mit hoher Zuverlässigkeit aufweist, die eine serielle Verbindung von zwei oder mehr SOI-MOS-Transistoren erlaubt, und die in ihren elektrischen Eigenschaften überlegen ist.

Nach einer weiteren Ausgestaltung der vorliegenden Erfindung schließt eine Halbleitereinrichtung einen aktiven Bereich ein, der aus einer Halbleiterschicht auf einem isolierenden Film gebildet ist und von einem Isolationsbereich umgeben wird. Die Halbleitereinrichtung schließt ferner eine Gateleitung ein.

Die Gateleitung schließt eine erste Leitung und eine zweite Leitung ein, die auf dem aktiven Bereich so ausgebildet sind, daß sie ihn überkreuzen, ohne einander zu überkreuzen. Die Gateleitung schließt ferner eine dritte Leitung und eine vierte Leitung ein, die jeweils auf einem Seitenabschnitt der ersten Leitung und der zweiten Leitung einander gegenüberliegend und zu dem Isolationsbereich hin so ausgebildet sind, daß sie übereinander nicht überkreuzen.

Der aktive Bereich schließt einen ersten Bereich ein, der auf jeweils einen Seitenabschnitt der ersten Leitung und der zweiten Leitung und auf den jeweiligen Seitenabschnitten der dritten Leitung und der vierten Leitung, die einander gegenüberliegen, ausgebildet ist. Der aktive Bereich schließt ferner einen zweiten Bereich ein, der auf einem Seitenabschnitt der ersten Leitung und dem anderen Seitenabschnitt der dritten Leitung ausgebildet ist. Der aktive Bereich schließt einen dritten Bereich ein, der auf einem Seitenabschnitt der zweiten Leitung und auf dem anderen Seitenabschnitt der vierten Leitung ausgebildet ist. Der aktive Bereich schließt ferner einen vierten Bereich ein, der auf dem anderen Seitenabschnitt der ersten Leitung ausgebildet ist, so wie einen fünften Bereich, der auf dem anderen Seitenabschnitt der zweiten Leitung ausgebildet ist.

Der erste bis fünfte Bereich weist jeweils eine Größe auf, die es erlaubt einen Kontakt für eine elektrische Verbindung mit einem anderen Element in ihrer Oberfläche auszubilden. Der erste, vierte und fünfte Bereich sind von einem ersten Leitungstyp. Dagegen sind der zweite und dritte Bereich und ein Bereich, der unterhalb der Gateleitung angeordnet ist, von einem zweiten Leitungstyp. Die erste und die zweite Leitung und der erste, vierte und fünfte Bereich bilden einen SOI-MOS-Transistor.

Nach einer weiteren Ausgestaltung der vorliegenden Erfindung schließt eine Halbleitereinrichtung eine Gateleitung ein, die eine erste Leitung und eine zweite Leitung aufweist und die auf einem aktiven Bereich so ausgebildet sind, daß sie diesen überkreuzen, ohne daß sie einander selbst überkreuzen.

In einem Bereich, der auf jeweils einen Seitenabschnitt der ersten Leitung und der zweiten Leitung, die einander gegenüberliegen, angeordnet ist, ist ein inselförmiger Isolationsbereich vorgesehen, der den Bereich zweiteilt und der bis unterhalb der ersten und zweiten Leitung reicht. Die Grenzen dieses inselförmigen Isolationsbereiches mit dem aktiven Bereich ist teilweise unterhalb und entlang der ersten und zweiten Leitungen angeordnet. Der aktive Bereich schließt einen ersten und einen zweiten Bereich auf beiden Seiten des inselförmigen Isolationsbereiches ein. Der aktive Bereich schließt ferner einen dritten Bereich ein, der auf dem anderen Seitenabschnitt der ersten Leitung angeordnet ist, sowie einen vierten Bereich, der auf dem anderen

Seitenabschnitt der zweiten Leitung angeordnet ist.

Der erste bis vierte Bereich weisen jeweils eine Größe auf, die die Bildung eines Kontaktes für eine elektrische Verbindung mit einem anderen Element auf ihrer Oberfläche zulassen. Der erste, dritte und vierte Bereich sind von einem ersten Leitungstyp. Dagegen sind der zweite Bereich und ein Bereich, der unterhalb der Gateleitung angeordnet sind, von einem zweiten Leitungstyp. Die erste und zweite Leitung und der erste, dritte und vierte Bereich bilden einen SOI-MOS-Transistor.

Der Aufbau einer Halbleitereinrichtung nach der oben genannte Ausgestaltung der vorliegenden Erfindung erzählt nicht nur die oben beschriebenen Effekte sondern auch die nachfolgend beschriebenen Effekte. Insbesondere ist die Kontaktfläche zwischen der ersten und der zweiten Leitung und dem Bereich, der unterhalb dieser Leitungen angeordnet ist, ebenso wie die Gatekapazität verringert. Da ein Bereich des ersten Leitungstyps und der Bereich des zweiten Leitungstyps von zwei Transistoren geteilt werden, kann die Fläche der Bauelemente selbst verringert werden.

Als Ergebnis kann die Betriebsgeschwindigkeit des SOI-MOS-Transistors erhöht werden und eine höhere Integration der Einrichtung kann implementiert bzw. durchgeführt werden.

Weitere Merkmale und Zweckmäßigkeiten der vorliegenden Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Draufsicht, die einen SOI-MOS-Transistor gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 2 eine Draufsicht, die einen aktiven Bereich unter einer Gateleitung des in Fig. 1 gezeigten SOI-MOS-Transistors zeigt;

Fig. 3 eine Draufsicht, die einen anderen SOI-MOS-Transistor gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 4 eine Draufsicht, die einen SOI-MOS-Transistor nach einer zweiten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 5 eine Draufsicht, die einen anderen SOI-MOS-Transistor gemäß der zweiten Ausführungsform der Erfindung zeigt;

Fig. 6 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der zweiten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 7 eine Draufsicht, die einen SOI-MOS-Transistor nach einer dritten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 8 eine Draufsicht, die einen anderen SOI-MOS-Transistor nach der dritten Ausführungsform der Erfindung zeigt;

Fig. 9 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der dritten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 10 eine Draufsicht, die einen SOI-MOS-Transistor nach einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 11 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der vierten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 12 eine Draufsicht, die einen SOI-MOS-Transistor nach einer fünften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 13 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der fünften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 14 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der fünften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 15 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der fünften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 16 eine Draufsicht, die einen SOI-MOS-Transistor nach einer sechsten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 17 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der sechsten Ausführungsform der Erfindung zeigt;

Fig. 18 eine Draufsicht, die einen SOI-MOS-Transistor nach einer siebten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 19 eine Draufsicht, die einen anderen SOI-MOS-Transistor nach der siebten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 20 eine Draufsicht, die einen weiteren SOI-MOS-Transistor nach der siebten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 21 einen Querschnitt, der einen Schritt eines Beispiels eines Verfahrens zur Herstellung des SOI-MOS-Transistors nach der ersten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 22 einen Querschnitt, der einen Schritt zeigt, der nach dem Schritt der Fig. 21 gemäß der ersten Ausführungsform der vorliegenden Erfindung auszuführen ist;

Fig. 23 einen Querschnitt, der einen Schritt zeigt, der nach dem Schritt der Fig. 22 gemäß der ersten Ausführungsform der vorliegenden Erfindung auszuführen ist;

Fig. 24 eine Draufsicht, die einen Schritt zeigt, der nach dem Schritt der Fig. 23 gemäß der ersten Ausführungsform der vorliegenden Erfindung auszuführen ist;

Fig. 25 eine Ansicht, die einen Querschnitt entlang der Linie A-A in Fig. 24 zeigt;

Fig. 26 einen Querschnitt, der einen Schritt zeigt, der nach dem Schritt der Fig. 25 gemäß der ersten Ausführungsform der vorliegenden Erfindung auszuführen ist;

Fig. 27 eine Ansicht, von oben, auf eine Struktur, die den in Fig. 26 gezeigten Querschnitt aufweist;

Fig. 28 einen Querschnitt, der einen Schritt zeigt, der nach dem Schritt der Fig. 26 gemäß der ersten Ausführungsform der vorliegenden Erfindung auszuführen ist;

Fig. 29 eine Ansicht, von oben, auf eine Struktur mit dem in Fig. 28 gezeigten Querschnitt;

Fig. 30 eine Draufsicht, die ein Beispiel eines Aufbaus eines SOI-MOS-Transistors zeigt;

Fig. 31 einen Querschnitt, der die Umgebung der Gateleitung entlang der Linie B-B in Fig. 30 zeigt und den Elektronen-Loch-Fluß anzeigt;

Fig. 32 eine Draufsicht, die ein Beispiel eines Aufbaus eines verbesserten SOI-MOS-Transistors zeigt;

Fig. 33 eine Draufsicht, die ein weiteres Beispiel des Aufbaus des verbesserten SOI-MOS-Transistors zeigt;

Fig. 34 eine Draufsicht, die ein weiteres Beispiel des Aufbaus des verbesserten SOI-MOS-Transistors zeigt;

Fig. 35 eine Draufsicht, die eine Verbindung zweier in Fig. 32 gezeigter Transistoren zeigt;

Fig. 36 eine Draufsicht, die eine Verbindung zweier in Fig. 33 gezeigter Transistoren zeigt;

Fig. 37 eine Draufsicht, die eine Verbindung zweier, in Fig. 34 gezeigter Transistoren zeigt;

Fig. 38 eine Ansicht, von oben betrachtet, auf einen Zustand, in dem die Gateleitung des in Fig. 34 gezeigten Transistors eine örtliche Abweichung aufweist.

Im folgenden wird die erste Ausführungsform mit Bezug auf die Figuren beschrieben. Es wird auf den in

Fig. 1 dargestellten SOI-MOS-Transistor Bezug genommen. Ein aktiver Bereich 5 ist von einem Isolationsbereich 12 umgeben.

Eine Gateleitung 17 schließt eine erste Leitung 1 und eine zweite Leitung 2 ein, die sich von einem Seitenabschnitt der ersten Leitung 1 bis zu dem Isolationsbereich 12 hin erstreckt. Ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche ist auf dem anderen Seitenabschnitt bzw. auf der anderen Seite der ersten Leitung 1 angeordnet. Der andere Bereich 3b des Paares der  $n^+$ -Source-/Drainbereiche und ein  $p^+$ -Kanalpotentialfestlegungsbereich 4 sind zu beiden Seiten bzw. auf beiden Seitenabschnitten bzw. an beiden Seitenabschnitten der zweiten Leitung 2 und auf einer Seite bzw. einem Seitenabschnitt der ersten Leitung 1 angeordnet. Das Paar der  $n^+$ -Source-/Drainbereiche 3a, 3b und der  $p^+$ -Kanalpotentialfestlegungsbereiche 4 schließen  $n^+$ -Source-/Drainkontakte 9a, 9b und einen  $p^+$ -Kanalpotentialfestlegungskontakt 10 ein. Ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche ist breiter als der andere Bereich 3b. Demzufolge besteht der Kanalbereich des SOI-MOS-Transistors aus dem effektiven Kanalbereich 11.

Es wird auf Fig. 2 Bezug genommen. Ein  $p$ -Bereich 6 ist unterhalb der ersten Leitung 1 und der zweiten Leitung 2 ausgebildet. Wie in der Beschreibungseinleitung beschrieben wurde, fließt ein Loch 7, welches durch den Substratschwebeeffect erzeugt wurde, in den effektiven Kanalbereich 11. Das Loch 7, welches in den effektiven Kanalbereich 11 fließt, dringt über den  $p$ -Bereich 6 in den  $p^+$ -Kanalpotentialfestlegungsbereich 4, wie dies durch den Pfeil 8 angezeigt ist. Demzufolge kann das Kanalpotential festgelegt bzw. fixiert werden.

Wie oben beschrieben wurde, weist ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche eine größere Fläche auf, als der andere Bereich 3b. Durch das Erhöhen der Kontaktdurchmesser und das Erhöhen der Anzahl der Kontakte kann demzufolge die Fläche wesentlich erhöht werden. Da der Kontaktwiderstand verringert werden kann, können die elektrischen Eigenschaften des SOI-MOS-Transistors verbessert werden.

Da der  $p^+$ -Kanalpotentialfestlegungsbereich 4 in einer selbstausgerichteten Art und Weise gebildet ist, wobei Teile der ersten Leitung 1 so gebildet sind, daß sie sich über den aktiven Bereich 5 strecken bzw. diesen überkreuzen und die zweite Leitung 2 so ausgebildet ist, daß sie sich von einem Seitenabschnitt bzw. einer Seite der ersten Leitung 1 erstreckt und diese als Maske verwendet werden, ist eine Kontaktierung des  $p^+$ -Kanalpotentialfestlegungsbereiches 4 und des  $n^+$ -Source-/Drainbereiches 3a, 3b nicht möglich, bzw. ein solcher Kontakt der Bereiche miteinander findet während des Herstellungsprozesses selbst dann nicht statt, wenn bei der Gateleitung eine Maskenabweichung auftritt. Demzufolge können die Betriebseigenschaften des SOI-MOS-Transistors gegen eine Maskenverschiebung der Gateleitung stabilisiert werden.

Die zweite Leitung 2 kann in der in Fig. 1 gezeigten Struktur gebogen sein, wie dies in Fig. 3 gezeigt ist. In dem SOI-MOS-Transistor mit der gebogenen zweiten Leitung 2 kann der andere Bereich 3b des Paares der  $n^+$ -Source-/Drainbereiche ebenfalls vergrößert werden und der Kontaktwiderstand kann verringert werden. Demzufolge kann ein SOI-MOS-Transistor erhalten werden, dessen elektrische Eigenschaften überlegen sind.

Im folgenden wird eine zweite Ausführungsform der vorliegenden Erfindung beschrieben. Es wird auf Fig. 4



Bezug genommen. Der Isolationsbereich 12 erstreckt sich bis in Teile des einen Bereiches des Paares der  $n^+$ -Source-/Drainbereiche 3 und in einen Bereich, der unterhalb der ersten Leitung 1 der in Fig. 1 gezeigten SOI-MOS-Transistor-Struktur angeordnet ist. Ein Teil 13 der Grenze zwischen dem Isolationsbereich 12 und dem aktiven Bereich 5 ist unterhalb und entlang der ersten Leitung 1 angeordnet.

Nach diesem Aufbau wird eine Kontaktfläche zwischen der ersten Leitung 1 und dem Bereich unterhalb der ersten Leitung 1 kleiner. Demzufolge kann die Kapazität der Gateleitung reduziert werden und die Betriebsgeschwindigkeit des Transistors kann erhöht werden.

Darüber hinaus kann die erste Leitung 1 des SOI-MOS-Transistors, der in Fig. 4 gezeigt ist, in einem Abschnitt der den effektiven Kanalbereich 11 ausschließt, verkürzt werden, wie dies in den Fig. 5 und 6 gezeigt ist. In diesen Fällen wird die Kontaktfläche zwischen der ersten Leitung 1 und dem Bereich unterhalb der ersten Leitung 1 sehr viel kleiner und die Gatekapazität kann weiter reduziert werden. Demzufolge kann die Verarbeitungsgeschwindigkeit weiter erhöht werden und es kann ein SOI-MOS-Transistor erhalten werden, der überlegene elektrische Eigenschaften aufweist.

Die dritte Ausführungsform der vorliegenden Erfindung wird im folgenden beschrieben. Es wird auf Fig. 7 Bezug genommen. Der Isolationsbereich 12 schließt einen Isolationsbereich 18 ein, der die Form einer Bucht, bzw. Lücke oder Nische bzw. einer Ausbuchtung aufweist. Dieser buchtörmige Isolationsbereich 18 reicht bis in Teile des  $p^+$ -Kanalpotentialfestlegungsbereiches 4 und einen Bereich unterhalb der ersten Leitung 1 und der zweiten Leitung 2 der in Fig. 1 gezeigten SOI-MOS-Transistorstruktur hinein. Ein Teil bzw. Abschnitt 13 einer Grenze zwischen dem buchtörmigen Isolationsbereich 18 und dem aktiven Bereich 5 ist unterhalb und entlang der ersten Leitung 1 und der zweiten Leitung 2 angeordnet.

Nach diesem Aufbau wird die Kontaktfläche zwischen der ersten Leitung 1 und der zweiten Leitung 2 und dem Bereich unterhalb der ersten Leitung 1 und der zweiten Leitung 2 kleiner. Demzufolge kann die Kapazität der Gateleitung reduziert werden und die Betriebsgeschwindigkeit des Transistors kann erhöht werden.

Da die Gateleitung 17, die als Teil einer Maske bei der Bildung des  $p^+$ -Kanalpotentialfestlegungsbereiches 4 in selbst-ausgerichteter Art und Weise dient, so gebildet werden kann, daß sie in einem Abschnitt der Grenze zwischen dem buchtörmigen Isolationsbereich 18, der in den aktiven Bereich 5 hineinreicht und dem aktiven Bereich 5 selbst liegt, ist ein Spielraum für eine Maskenabweichung der Gateleitung hoch. Demzufolge kann der Betrieb des Transistors gegen Variationen der Lithographie und der Prozeßschritte der Gateleitung stabilisiert werden.

Darüber hinaus kann die zweite Leitung 2 verkürzt werden, wie dies in Fig. 8 gezeigt ist. In diesem Falle wird die Gatekapazität weiter reduziert und die elektrischen Eigenschaften können weiter verbessert werden.

Darüber hinaus kann die zweite Leitung 2 verkürzt werden, so daß letztendlich nur die erste Leitung 1 enthalten ist, wie dies in Fig. 9 gezeigt ist. In diesem Aufbau kann die Gatekapazität weiter reduziert werden. Demzufolge kann die Betriebsgeschwindigkeit des Transistors weiter verbessert werden.

Im obigen wurde der Aufbau eines SOI-MOS-Transistors beschrieben. Durch die Verwendung der Transi-

storaufbauten, wie sie in der ersten bis dritten Ausführungsform beschrieben sind, kann eine Mehrzahl von Transistoren miteinander verbunden werden. Im folgenden wird nun der Fall beschrieben, in dem eine Mehrzahl von SOI-MOS-Transistoren miteinander verbunden sind.

Im folgenden wird nun eine vierte Ausführungsform der vorliegenden Erfindung beschrieben. Es wird auf Fig. 10 Bezug genommen. Ein aktiver Bereich 5 ist von einem Isolationsbereich 12 umgeben. Eine Gateleitung 17 schließt eine erste Leitung 1 und eine zweite Leitung 2 ein, die auf dem aktiven Bereich 5 so gebildet sind, daß sie denselben überqueren bzw. überkreuzen, ohne einander selbst zu überkreuzen. Die Gateleitung 17 schließt weiter eine dritte Leitung 14 und eine vierte Leitung 15 ein, die sich jeweils von einem Seitenabschnitt der ersten Leitung 1 und der zweiten Leitung 2 zu dem Isolationsbereich 12 hin erstrecken. Der aktive Bereich 5 schließt einen Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche ein, die durch den jeweils anderen Seitenabschnitt der ersten Leitung 1 und der zweiten Leitung 2 eingeschlossen sind und der andere Bereich 3b des Paares der  $n^+$ -Source-/Drainbereiche und der  $p^+$ -Kanalpotential festlegungsbereich 4a sind zu beiden Seiten der dritten Leitung 14 an einem Seitenabschnitt der ersten Leitung 1 angeordnet. Darüber hinaus schließt der aktive Bereich 5 den anderen Bereich 3c des Paares der  $n^+$ -Source-/Drainbereiche und  $p^+$ -Kanalpotentialfestlegungsbereich 4b an beiden Seiten der vierten Leitung 15 und an einem Seitenabschnitt der zweiten Leitung 2 ein. Die  $n^+$ -Source-/Drainkontakte 9a, 9b, 9c sind in dem Paar der  $n^+$ -Source-/Drainbereiche 3a, 3b, 3c vorgesehen und der  $p^+$ -Kanalpotentialfestlegungsbereich 4a, 4b vorgesehen. Dieser Aufbau entspricht einer Serienschaltung von zwei der in Fig. 1 gezeigten SOI-MOS-Transistoren, bzw. ist einer solchen äquivalent, wobei ein Bereich des Paares der  $n^+$ -Source-/Drainbereiche 3 geteilt wird.

Löcher, die in dem effektiven Kanalbereich 11 gespeichert sind, dringen bzw. passieren oder fließen durch den  $p$ -Bereich unter der Gateleitung 17 und fließen in jeden der  $p^+$ -Kanalpotentialfestlegungsbereiche 4a und 4b. Demzufolge kann der parasitäre bipolare Effekt verhindert werden. Da darüberhinaus die erste Leitung 1 und die zweite Leitung 2 nicht miteinander verbunden sind, können die Gatepotentiale der beiden SOI-MOS-Transistoren individuell gesteuert werden. Demzufolge kann ein Transistor gebildet werden, der eine Mehrzahl von in Serie miteinander verbundene Transistoren aufweist. Darüberhinaus kann ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche, der von den beiden Transistoren geteilt bzw. gemeinsam benutzt wird, in seiner Fläche größer ausgestaltet werden, als die anderen Bereiche 3b, 3c. Demzufolge kann der Kontaktwiderstand reduziert werden.

Darüberhinaus trägt der Aufbau, in dem ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche durch zwei Transistoren geteilt wird, zu der Reduktion der Fläche bei, die durch die beiden Transistoren eingenommen wird. Demzufolge kann die Einrichtung höher integriert bzw. dichter ausgestaltet werden.

In einem Aufbau, wie er in Fig. 11 gezeigt ist, der dadurch gebildet wird, daß zwei der in Fig. 3 gezeigten SOI-MOS-Transistoren verbunden werden, können ähnliche Effekte erzielt werden.

Im folgenden wird nun die fünfte Ausführungsform der Erfindung beschrieben. Es wird auf Fig. 12 Bezug

genommen. Der Isolationsbereich 12 schließt einen buchtförmigen Isolationsbereich 18 ein, der in Teile eines Bereiches 3a des Paares der  $n^+$ -Source-/Drainbereiche hineinreicht, die durch die beiden Transistoren geteilt werden, und in Teile des Bereiches hineinreicht, der unterhalb der ersten Leitung 1 und der zweiten Leitung 2 des in Fig. 10 gezeigten Aufbaus eines SOI-MOS-Transistors angeordnet ist. Ein Teil 13 der Grenze zwischen den buchtförmigen Isolationsbereich 18 und dem aktiven Bereich 5 ist unterhalb und entlang der ersten Leitung 1 und der zweiten Leitung 2 angeordnet.

Bei diesem Aufbau wird die Kontaktfläche zwischen der ersten Leitung 1 und der zweiten Leitung 2 und dem Bereich, der unterhalb der ersten Leitung 1 und der zweiten Leitung 2 angeordnet ist, kleiner. Demzufolge kann die Kapazität der Gateleitung reduziert werden und die Betriebsgeschwindigkeit des Transistors kann erhöht werden.

Ein derartiger Aufbau, wie er in Fig. 12 gezeigt ist, und der zwei Transistoren einschließt, kann einen Aufbau aufweisen, wie er in den Fig. 13 oder 14 gezeigt ist.

Es wird auf Fig. 13 Bezug genommen. Genauer gesagt ist die erste Leitung 1 und die zweite Leitung 2 in den jeweiligen Abschnitten, die die Leitungen auf dem effektiven Kanalbereich 11 ausschließen, verkürzt. Es wird auf Fig. 14 Bezug genommen. Die Leitungen sind weiter verkürzt, so daß die Gateleitung 17 jeweils in einer L-Form und einer gespiegelten oder umgedrehten L-Form ausgebildet sind.

Demzufolge ist die Kontaktfläche zwischen der ersten Leitung bzw. ersten Leiterbahn 1 und der zweiten Leitung bzw. zweiten Leiterbahn 2 und dem Bereich unterhalb dieser Leitungen verringert und demzufolge kann die Gatekapazität verringert werden. Als Ergebnis hiervon kann ein Aufbau erhalten werden, der eine Vielzahl von SOI-MOS-Transistoren einschließt, die miteinander in Serie geschaltet sind und die einen Betrieb mit einer höheren Geschwindigkeit ermöglichen. Wie in Fig. 15 gezeigt ist, kann darüberhinaus der Isolierbereich 12 bis in einen Teil des Paares der  $n^+$ -Source-/Drainbereiche 3a, 3b, 3c der beiden Transistoren in dem in Fig. 11 gezeigten Transistoraufbau hineinreichen. Selbst in einem solchen Aufbau kann die Gatekapazität reduziert und die Betriebsgeschwindigkeit des Transistors erhöht werden.

Auf der Grundlage der in den Fig. 8 oder 9 gezeigten SOI-MOS-Transistoren kann eine Serienschaltung von zwei SOI-MOS-Transistoren, wie sie in Fig. 16 oder Fig. 17 gemäß einer sechsten Ausführungsform der vorliegenden Erfindung gezeigt sind, aufgebaut werden.

Es wird auf Fig. 16 Bezug genommen. Ein aktiver Bereich 5 ist von einem Isolationsbereich 12 umgeben. Der aktive Bereich 5 schließt eine Gateleitung 17 ein, die eine erste Leitung 1 und eine zweite Leitung 2 einschließt, die auf dem aktiven Bereich 5 so gebildet sind, daß sie diesen überqueren, ohne einander zu überqueren. Die Gateleitung 17 schließt ferner eine dritte Leitung 14 und eine vierte Leitung 15 ein, die sich von jeweils einem Seitenabschnitt der ersten Leitung 1 und der zweiten Leitung 2, die einander gegenüberliegen, erstrecken. In einem Bereich, der durch die erste Leitung 1 und die zweite Leitung 2 eingeschlossen ist, ist ein inselförmiger Isolationsbereich 16 vorgesehen, der den Bereich zweiteilt. Ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche und der  $p^+$ -Kanalpotentialfestlegungsbereich 4 sind zu beiden Seiten des inselförmigen Isolationsbereiches 16 angeordnet und der andere Bereich 3b, 3c des Paares der  $n^+$ -Source-/Drainbe-

reiche ist auf der jeweiligen anderen Seite bzw. dem jeweiligen anderen Seitenabschnitt der ersten Leitung 1 und der zweiten Leitung 2 angeordnet. Teilabschnitt 13 einer Grenze zwischen dem inselförmigen Isolationsbereich 16 und dem aktiven Bereich 15 ist unterhalb und entlang der ersten und zweiten Leitungen 1 und 2 angeordnet.

Wie in Fig. 17 gezeigt ist, kann darüber hinaus auf die dritte Leitung 14 und die vierte Leitung 15 in der Struktur der Fig. 16 verzichtet werden.

Bei diesen Strukturen sind die Gateleitungen 17 von zwei SOI-MOS-Transistoren nicht miteinander verbunden.

Demzufolge können die Gatepotentiale der zwei SOI-MOS-Transistoren individuell gesteuert werden. Dementsprechend kann ein Transistor gebildet werden, der eine Vielzahl von Transistoren enthält, die miteinander in Serie geschaltet sind. Darüberhinaus enthält Fig. 17 keine dritte Leitung 14 und keine vierte Leitung 15. Demzufolge kann die Gatekapazität weiter reduziert werden. Als Ergebnis hiervon können die Betriebseigenschaften des Transistors weiter verbessert werden.

Sowohl in Fig. 16 als auch in Fig. 17 sind Transistoren dargestellt, bei denen ein Bereich 3a des Paares der  $n^+$ -Source-/Drainbereiche und der  $p^+$ -Kanalpotentialfestlegungsbereich 4 von zwei Transistoren geteilt werden. Demzufolge kann eine Fläche, die durch diese Transistoren eingenommen wird, verringert werden. Als ein Ergebnis hiervon kann die Einrichtung stärker integriert werden.

Durch die Kombination zweier SOI-MOS-Transistoren, wie sie in den Fig. 8 oder 9 gezeigt sind, kann ein SOI-MOS-Transistor, wie er in Fig. 18, 19 oder 20 nach einer siebten Ausführungsform der vorliegenden Erfindung gezeigt ist, gebildet werden. In jedem dieser Fälle können die Gatepotentiale der jeweiligen Transistoren individuell gesteuert und die Gatekapazität reduziert werden. Demzufolge kann ein Transistor erhalten werden, dessen Betriebseigenschaften überlegen bzw. verbessert sind.

Die oben beschriebenen SOI-MOS-Transistorstrukturen können leicht unter der Verwendung herkömmlicher Herstellungstechniken gebildet werden. Ein Beispiel eines Herstellungsverfahrens wird im folgenden kurz beschrieben.

Mit einem SIOX-Verfahren (Separation by Implanted Oxygen), Trennung durch Sauerstoffimplantation) wird nach der Implantation von Sauerstoffionen in ein Siliziumsubstrat 20 zur Bildung eines SOI-Substrates aus einer Siliziumschicht 22, einer isolierenden Schicht 21 und einem Siliziumsubstrat 20, wie es in Fig. 21 gezeigt ist, eine vorbestimmte Wärmebehandlung ausgeführt. Wie in Fig. 22 gezeigt wird, werden anschließend Borionen 23 in die Siliziumschicht 22 mit einer Dosierung von  $10^{11}$  bis  $10^{12}/\text{cm}^2$  zur Bildung einer p-Halbleiterschicht implantiert. Zur Bildung eines p-Bereiches 24, wie er in Fig. 23 gezeigt ist, werden eine vorbestimmte Lithographie und entsprechende Prozessschritte ausgeführt. Anschließend wird die Gateleitung 17 mit einer ersten Leitung 1 und einer zweiten Leitung 2 aus einem Metall-Polyzid (Polycide)-Film gebildet, wie dies in Fig. 24 gezeigt ist, nachdem ein Gateoxidfilm 25 dazwischen eingebracht worden ist. Fig. 25 stellt einen Querschnitt dar, der entlang der Linie A-A der Fig. 24 genommen wurde. Wie in Fig. 26 dargestellt ist, werden anschließend, zur Bildung eines  $p^+$ -Kanalpotentialfestlegungsbereiches 4 Borionen 23 mit einer Dosierung von  $10^{15}/\text{cm}^2$  implantiert, wobei ein vorbestimmter Be-



reich mit Photoresist überdeckt ist. Fig. 26 zeigt einen Querschnitt, der entlang der Linie A-A der Fig. 27 genommen wurde. Anschließend wird der Photoresist 26 entfernt. Darüberhinaus wird eine Photolithographie ausgeführt und Arsen-Ionen 28 werden mit einer Dosierung von  $10^{15}/\text{cm}^2$  implantiert, wobei ein Photoresist 26 als Maske zur Bildung der  $n^+$ -Source/Drainbereiche 3a, 3b verwendet wird, wie dies in Fig. 28 dargestellt ist. Fig. 28 stellt einen Querschnitt dar, der entlang der Linie A-A der Fig. 29 genommen wurde. Anschließend wird der Photoresist 26 entfernt. Durch die oben beschriebenen Schritte kann ein SOI-MOS-Transistor, wie er in Fig. 1 dargestellt ist, leicht gebildet werden.

Es sei angemerkt, daß beispielsweise in einem 256 MDRAM die Breite der Gateleitung  $0,3 \mu\text{m}$  beträgt und die Größe der  $n^+$ -Source-/Drainkontakte 9a, 9b, 9c und des  $p^+$ -Kanalpotentialfestlegungskontaktes 10, 10a, 10b  $0,3 \mu\text{m} \times 0,3 \mu\text{m}$  beträgt.

Die Feststellungs- bzw. Ausrichtungsgenauigkeit der Gateleitung oder ähnlichem wird auf ca.  $0,06 \mu\text{m}$  geschätzt.

In der obigen Beschreibung wurde ein Beispiel eines n-Kanaltransistors mit einem p-Kanalbereich gezeigt. Ein p-Kanaltransistor kann ähnlich gebildet werden.

In diesem Falle kann beispielsweise ein n-Kanalbereich durch die Implantation von Phosphor und ein p-Source-/Drainbereich durch die Implantation von  $\text{BF}_2$  gebildet werden.

#### Patentansprüche

1. Halbleitereinrichtung vom SOI-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17), wobei die Gateleitung (17) eine erste Leitung (1), die auf dem aktiven Bereich (5) so gebildet ist, daß sie den aktiven Bereich (5) kreuzt, und eine zweite Leitung (2), die von einem Seitenabschnitt der ersten Leitung (1) bis zu dem Isolationsbereich (12) gebildet ist, aufweist und der aktive Bereich (5) einen ersten Bereich (3a), der auf dem anderen Seitenabschnitt der ersten Leitung (1) gebildet ist, und einen zweiten und dritten Bereich (3b, 4), die auf beiden Seiten der zweiten Leitung (2) und einem Seitenabschnitt der ersten Leitung (1) angeordnet sind, aufweist, wobei der erste bis dritte Bereich (3a, 3b, 4) jeweils einen Bereich aufweist, in dem die Bildung eines Kontaktes (9a, 9b, 10) zum elektrischen Anschluß mit einem anderen Element in ihrer Oberfläche möglich ist, aufweist, der erste und der zweite Bereich von einem ersten Leitungstyp sind, der dritte Bereich (4) und ein unterhalb der Gateleitung (17) angeordneter Bereich von einem zweiten Leitungstyp sind und die erste Leitung (1) und der erste und zweite Bereich (3a, 3b) einen SOI-MOS-Transistor bilden.
2. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Isolationsbereich (12) in den ersten Bereich (3a) und einen Bereich, der unterhalb der Gateleitung (17) angeordnet ist, reicht und ein Teil einer Grenze zwischen dem Isolationsbereich (12) und dem aktiven Bereich (5) unterhalb und entlang der ersten Leitung (1) angeordnet ist.
3. Halbleitereinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß

der Isolationsbereich (12) einen buchtörmigen Isolationsbereich (18) aufweist, der in den dritten Bereich (4) und den Bereich, der unterhalb der Gateleitung (17) angeordnet ist, hineinreicht, und ein Teil einer Grenze zwischen dem Isolationsbereich (12) und dem aktiven Bereich (5) unterhalb und entlang der ersten Leitung (1) und der zweiten Leitung (2) angeordnet ist.

4. Halbleitereinrichtung vom SOI-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17), wobei die Gateleitung (17) eine Leitung (1) einschließt, die auf dem aktiven Bereich (5) so gebildet ist, daß sie den aktiven Bereich (5) überkreuzt, und der Isolationsbereich (12) in einem Bereich, der an dem anderen Seitenabschnitt der Leitung (1) angeordnet ist, einen buchtörmigen Isolationsbereich (18) aufweist, der bis unterhalb der Leitung (1) reicht, so daß der Bereich zweigeteilt wird und dessen Grenze mit dem aktiven Bereich (5) teilweise unterhalb und entlang der Leitung (1) angeordnet ist,

der aktive Bereich (5) einen ersten Bereich (2a), der auf einem Seitenabschnitt der Leitung (1) angeordnet ist, und einen zweiten und einen dritten Bereich (3b, 4), die zu beiden Seiten des buchtörmigen Isolationsbereiches (18) auf dem anderen Seitenabschnitt der Leitung (1) angeordnet sind, aufweist, wobei der erste bis dritte Bereich (3a, 3b, 4) jeweils eine Größe aufweist, die es erlaubt, daß ein Kontakt (9a, 9b, 10) für eine elektrische Verbindung mit einem anderen Element auf ihren Oberflächen gebildet werden kann,

der erste und der zweite Bereich (3a, 3b) von einem ersten Leitungstyp sind, der dritte Bereich (4) und der Bereich, der sich unterhalb der Gateleitung (17) befindet, von einem zweiten Leitungstyp sind und die Leitung (1) und der erste und der zweite Bereich (3a, 3b) einen SOI-MOS-Transistor bilden.

5. Halbleitereinrichtung vom SOI-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17), wobei die Gateleitung (17)

eine erste Leitung (1) und eine zweite Leitung (2) einschließt, die auf dem aktiven Bereich (5) so gebildet sind, daß sie den aktiven Bereich (5) überkreuzen, ohne einander zu überkreuzen und eine dritte Leitung (14), die auf einem Seitenabschnitt der ersten Leitung (1) auf den Isolationsbereich (12) zulaufend gebildet ist, und eine vierte Leitung (15), die von einem Seitenabschnitt der zweiten Leitung (2) auf den Isolationsbereich (12) zulaufend gebildet ist, aufweist, und der aktive Bereich (5)

einen ersten Bereich (3a), der an dem anderen Seitenbereich der ersten Leitung (1) und dem anderen Seitenbereich der zweiten Leitung (2) angeordnet ist, einen zweiten und einen dritten Bereich (3b, 4a), die zu beiden Seiten der dritten Leitung (14) an einem Seitenabschnitt der ersten Leitung (1) angeordnet sind, und einem vierten und einem fünften Bereich (3c, 4b), die an beiden Seiten der vierten Leitung (15) an

einem Seitenabschnitt der zweiten Leitung (2) angeordnet sind, aufweist  
 der erste bis fünfte Bereich (3a, 3b, 4a, 3c, 4b) jeweils eine Größe aufweist, die die Bildung eines Kontaktes (9a, 9b, 10a, 9c, 10b) für eine elektrische Verbindung mit einem anderen Element an ihrer Oberfläche erlauben,  
 der erste, zweite und vierte Bereich (3a, 3b, 3c) von einem ersten Leitungstyp sind,  
 der dritte und fünfte Bereich (4a, 4b) und ein Bereich, der sich unterhalb der Gateleitung (17) befindet, von einem zweiten Leitungstyp sind und  
 die erste und die zweite Leitung (1, 2) und der erste, zweite und vierte Bereich (3a, 3b, 3c) einen SOI-Transistor bilden.  
 6. Halbleitereinrichtung nach Anspruch 5, dadurch gekennzeichnet, daß der Isolationsbereich (12) einen buchtförmigen Isolationsbereich (18) aufweist, der in den ersten Bereich (3a), und den Bereich der sich unterhalb der Gateleitung (17) befindet, hineinreicht, und  
 ein Teil einer Grenze zwischen den buchtförmigen Isolationsbereich (18) und dem aktiven Bereich (5) unterhalb und entlang der ersten und zweiten Leitung (1, 2) angeordnet ist.  
 7. Halbleitereinrichtung vom SOI-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17) wobei die Gateleitung (17)  
 eine erste Leitung (1) und eine zweite Leitung (2), die auf dem aktiven Bereich (5) so gebildet sind, daß sie den aktiven Bereich (5) überkreuzen, ohne einander zu überkreuzen, und  
 eine dritte Leitung (14) und eine vierte Leitung (15), die auf den jeweils einen Seitenabschnitt der ersten Leitung (1) und der zweiten Leitung (2), die einander gegenüberliegen, so gebildet sind, daß sie sich zu dem Isolationsbereich (12) erstrecken, ohne daß sie einander überkreuzen, aufweist und der aktive Bereich (5)  
 einen ersten Bereich (3a), der auf jeweils einem Seitenabschnitt der ersten und der zweiten Leitung (1, 2) und auf jeweils einen Seitenabschnitt der dritten und vierten Leitung (14, 15), die einander gegenüberliegen, angeordnet ist,  
 einen zweiten Bereich (4a), der auf einem Seitenabschnitt der ersten Leitung (1) und dem anderen Seitenabschnitt der dritten Leitung (14) angeordnet sind, einen dritten Bereich (4b), der auf einem Seitenabschnitt der zweiten Leitung (2) und dem anderen Seitenabschnitt der vierten Leitung (15) angeordnet ist, einen vierten Bereich (3b), der auf dem anderen Seitenabschnitt der ersten Leitung (1) angeordnet ist und  
 einen fünften Bereich (3c), der auf dem anderen Seitenabschnitt der zweiten Leitung (2) angeordnet ist, aufweist, wobei der erste bis fünfte Bereich (2a, 4a, 4b, 3b, 3c) jeweils eine Größe aufweist, die die Bildung eines Kontaktes (9a, 10a, 10b, 9b, 9c) zum elektrischen Verbinden mit einem anderen Element in ihren Oberflächen ermöglichen, der erste, vierte und fünfte Bereich (3a, 3b, 3c) von einem ersten Leitungstyp sind,  
 der zweite und dritte Bereich (4a, 4b) und der Bereich unterhalb der Gateleitung (17) von einem zweiten Leitungstyp sind und die erste und die

zweite Leitung (1, 2) und der erste, vierte und fünfte Bereich (3a, 3b, 3c) einen SOI-MOS-Transistor bilden.

8. Halbleitereinrichtung vom SOI-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet ist und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17) wobei die Gateleitung (17)  
 eine erste Leitung (1) und eine zweite Leitung (2), die auf dem aktiven Bereich (5) so gebildet sind, daß sie den aktiven Bereich (5) überkreuzen, ohne einander zu überkreuzen, aufweist,  
 ein inselförmiger Isolationsbereich (16) in einem Bereich auf jeweils einem Seitenabschnitt der ersten Leitung (1) und der zweiten Leitung (2), die einander gegenüberliegen, vorgesehen ist, der den Bereich zweiteilt, der in einen Bereich hineinreicht, der unterhalb der ersten und der zweiten Leitung (1, 2) angeordnet ist und dessen Grenze mit dem aktiven Bereich (5) teilweise unterhalb und entlang der ersten und der zweiten Leitung (1, 2) angeordnet ist, der aktive Bereich (5)  
 einen ersten und einen zweiten Bereich (3a, 4), die zu beiden Seiten des inselförmigen Isolationsbereiches (16) angeordnet sind,  
 einen dritten Bereich (3b), der an dem anderen Seitenabschnitt der ersten Leitung (1) angeordnet ist, und  
 einen vierten Bereich (2c), der auf dem anderen Seitenabschnitt der zweiten Leitung (2) angeordnet ist, aufweist  
 der erste bis vierte Bereich (3a, 4, 3b, 3c) jeweils eine Größe aufweist, die es erlaubt, daß ein Kontakt (9a, 10, 9b, 9c) zum elektrischen Verbinden mit einem anderen Element in ihren Oberflächen gebildet werden kann,  
 der erste, dritte und vierte Bereich (3a, 3b, 3c) von einem ersten Leitungstyp sind,  
 der zweite Bereich (4) und der Bereich, der unterhalb der Gateleitung (17) angeordnet ist, von einem zweiten Leitungstyp sind und  
 die erste und die zweite Leitung (1, 2) und der erste, dritte und vierte Bereich, (3a, 3b, 3c) einen SOI-MOS-Transistor bilden.  
 9. Halbleitereinrichtung vom SIO-Typ mit einem aktiven Bereich (5) aus einer Halbleiterschicht, die auf einem isolierenden Film gebildet und von einem Isolationsbereich (12) umgeben ist, und einer Gateleitung (17) wobei die Gateleitung (17)  
 eine erste Leitung (1) und eine zweite Leitung (2), die auf dem aktiven Bereich (5) so gebildet sind, daß sie den aktiven Bereich (5) überkreuzen, ohne einander zu überkreuzen, aufweist,  
 der Isolationsbereich (12) in einem Bereich, der jeweils an einer Seite mit der ersten Leitung (1) und der zweiten Leitung (2), die einander gegenüberliegen, angeordnet ist, einen ersten und einen zweiten buchtförmigen Isolationsbereich (18a, 18b) aufweist, der in den Bereich in zwei Richtungen hineinreicht und dessen Grenze mit dem aktiven Bereich (5) teilweise und unterhalb und entlang der ersten und zweiten Leitung (1, 2) angeordnet ist, der aktive Bereich (5) in dem Bereich  
 einen ersten Bereich (3a), der zwischen dem ersten und dem zweiten buchtförmigen Isolationsbereich (18a, 18b) eingeschlossen ist,

einen zweiten Bereich (4a), der von dem ersten  
buchtformigen Isolationsbereich (18a), dem Isola-  
tionsbereich (12) und der zweiten Leitung (2) umge-  
ben ist,  
einen dritten Bereich (4a) der von dem zweiten 5  
buchtformigen Isolationsbereich (18b), dem Isola-  
tionsbereich (12) und der ersten Leitung (1) umge-  
ben ist,  
einen vierten Bereich (3b), der auf einem anderen  
Seitenabschnitt der ersten Leitung (1) angeordnet 10  
ist, und  
einen fünften Bereich (3c), der auf dem anderen  
Seitenabschnitt der zweiten Leitung (2) angeordnet  
ist, aufweist, wobei  
der erste bis fünfte Bereich (3a, 4a, 4b, 3c) jeweils 15  
eine Größe aufweist, die die Bildung eines Kontak-  
tes (9a, 10a, 10b, 9b, 9c) für eine elektrische Verbin-  
dung mit einem anderen Element in ihren Oberflä-  
chen ermöglicht,  
der erste, vierte und fünfte Bereich (3a, 3b, 3c) von 20  
einem ersten Leitungstyp ist, der zweite und dritte  
Bereich (4a, 4b) und der Bereich, der sich unterhalb  
der Gateleitung (17) befindet, von einem zweiten  
Leitungstyp ist und die erste und zweite Leitung (1,  
2) und der erste, vierte und fünfte Bereich (3a, 3b, 25  
3c) einen SIO-MOS-Transistor bildet.

Hierzu 18 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

FIG. 1

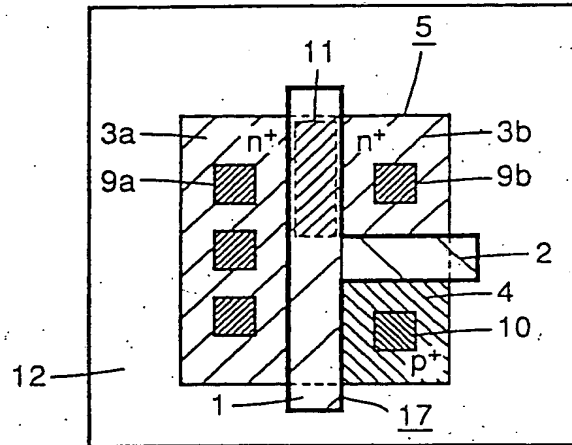


FIG. 2

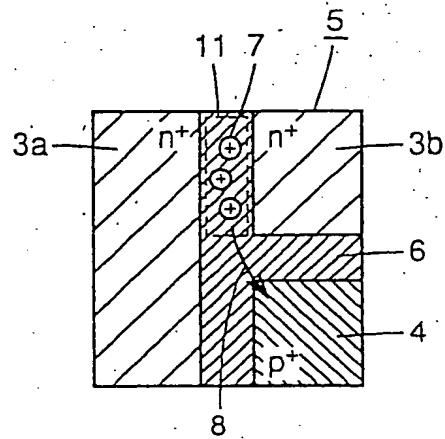


FIG.3

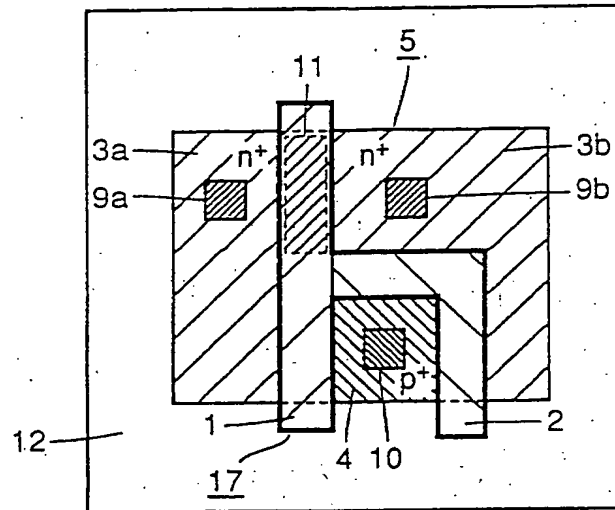


FIG.4

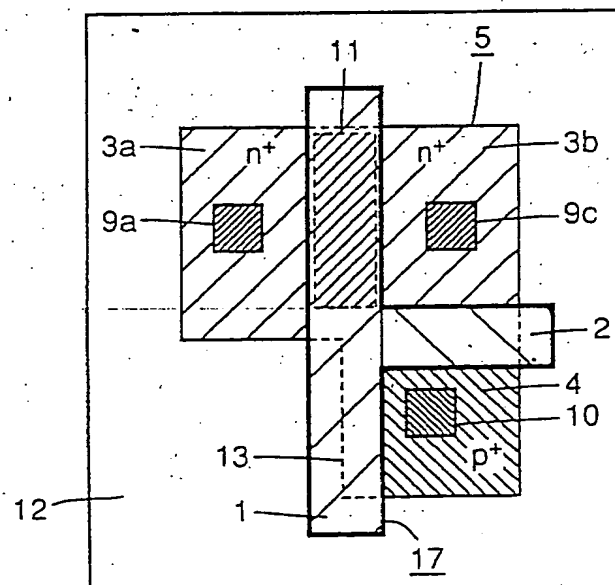




FIG.5

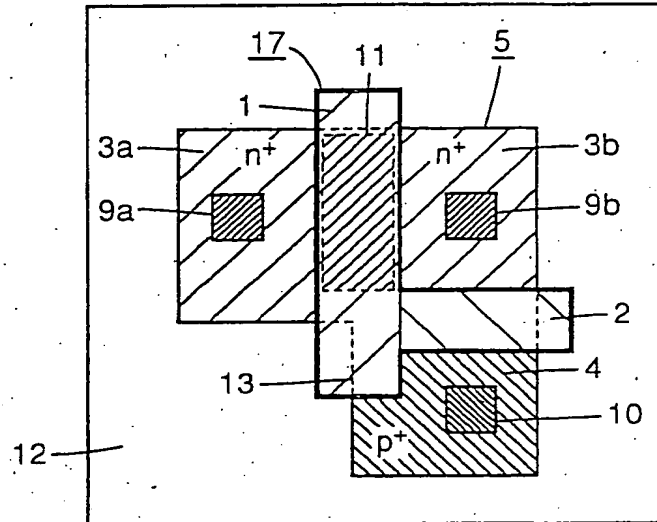


FIG.6

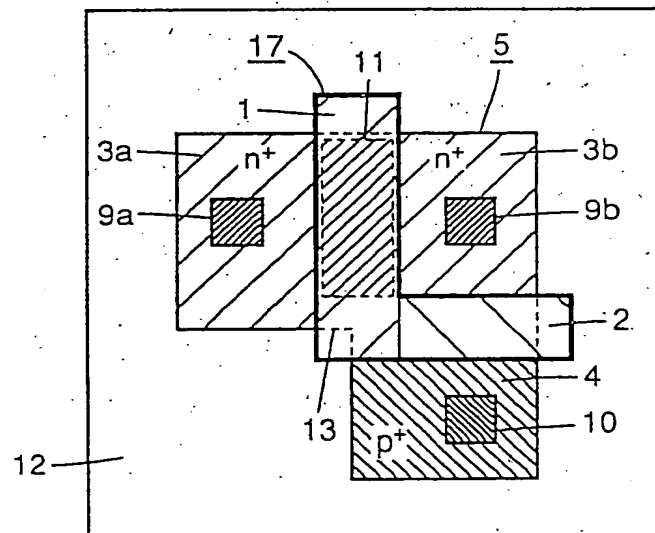


FIG.7

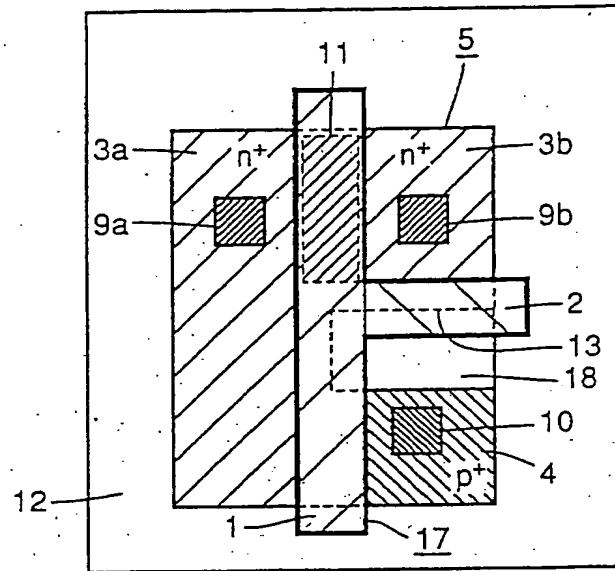


FIG.8

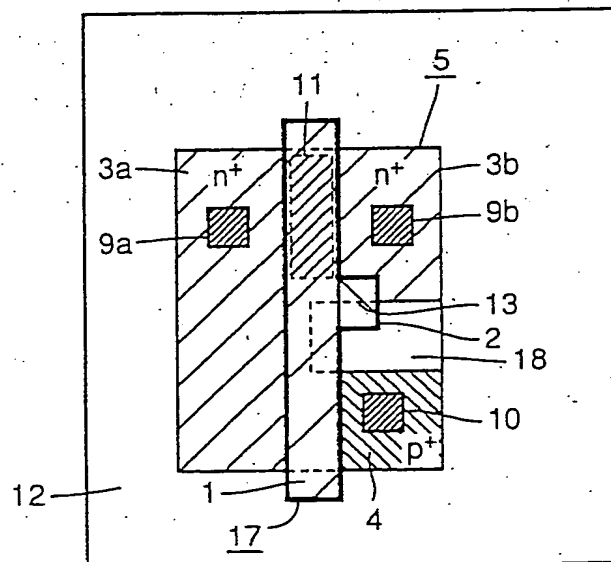


FIG. 9

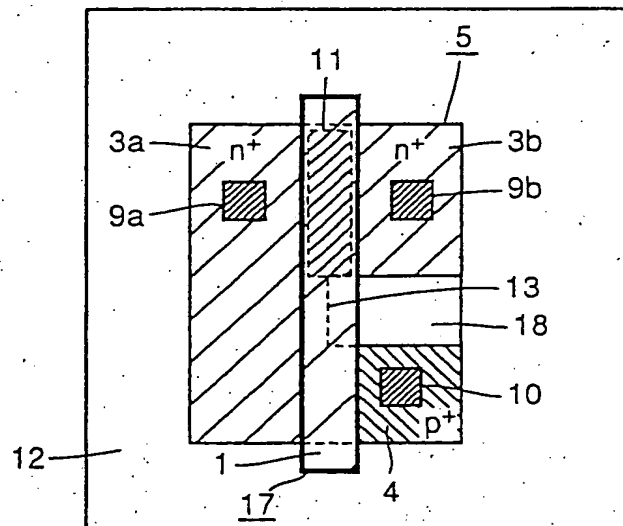


FIG. 10

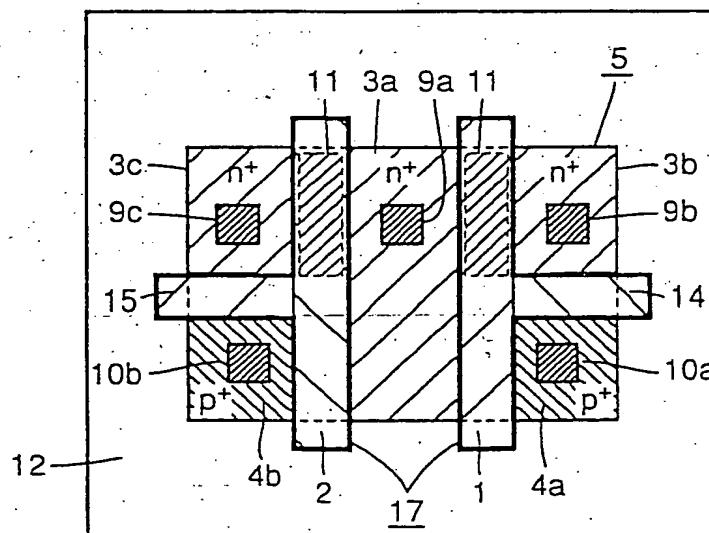


FIG. 11

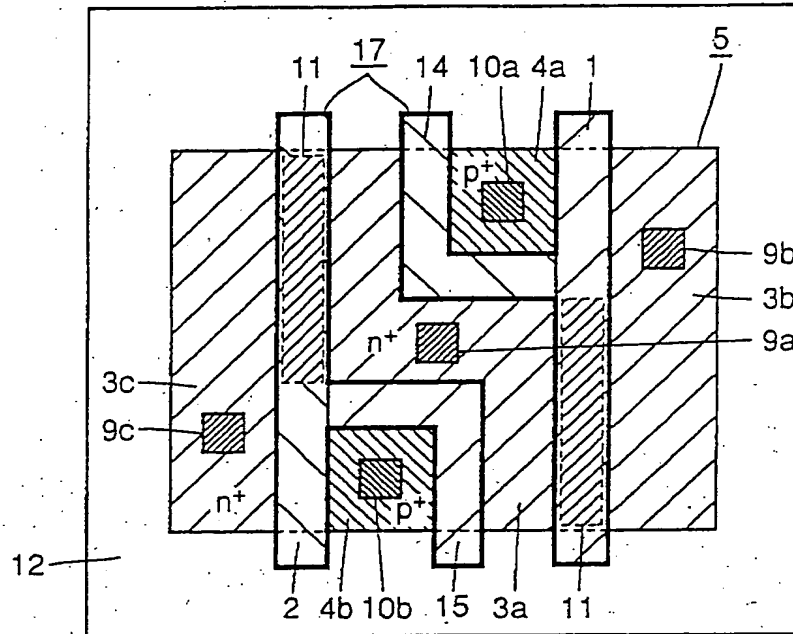


FIG. 12

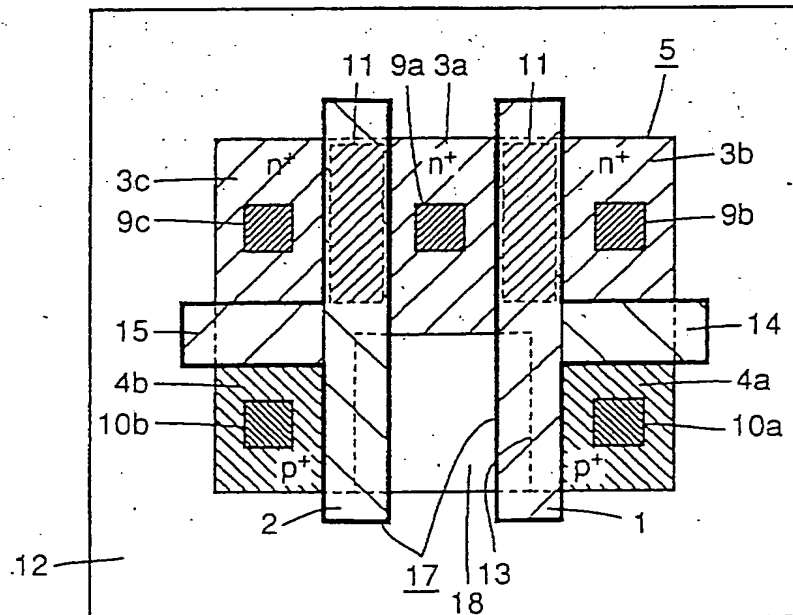


FIG. 13

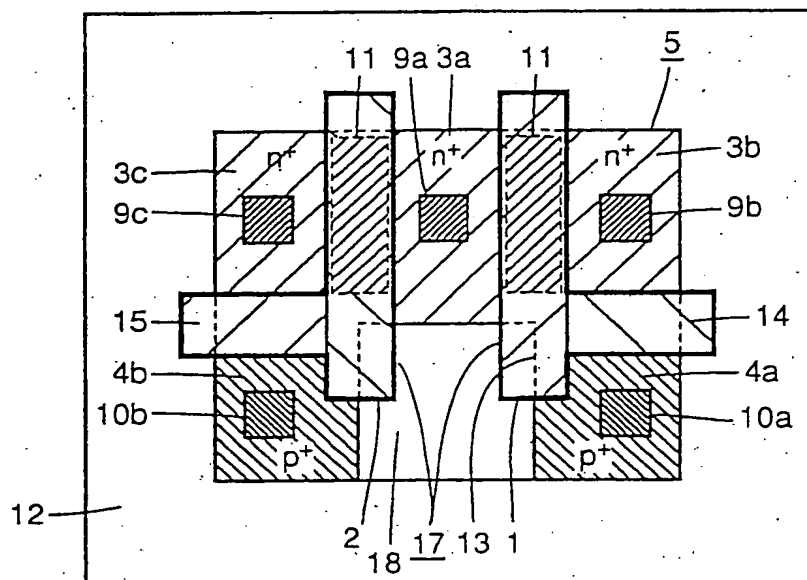


FIG. 14

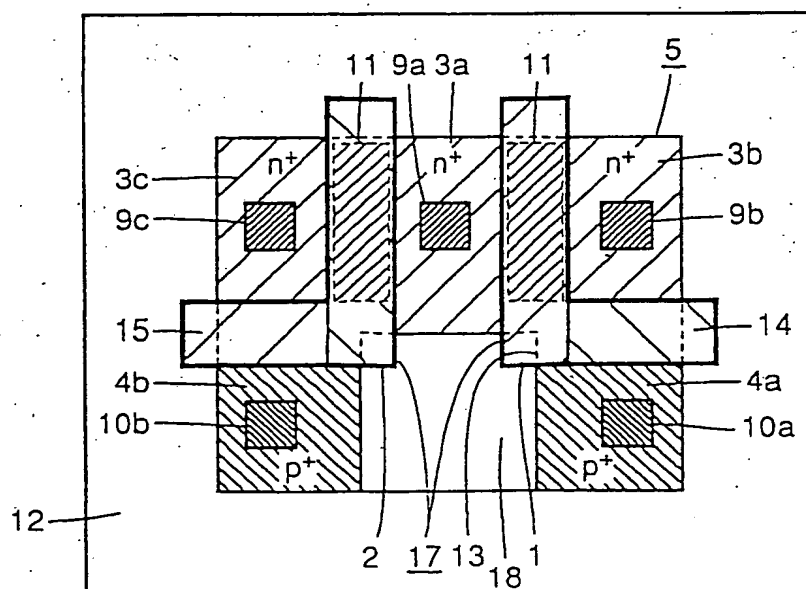


FIG. 15

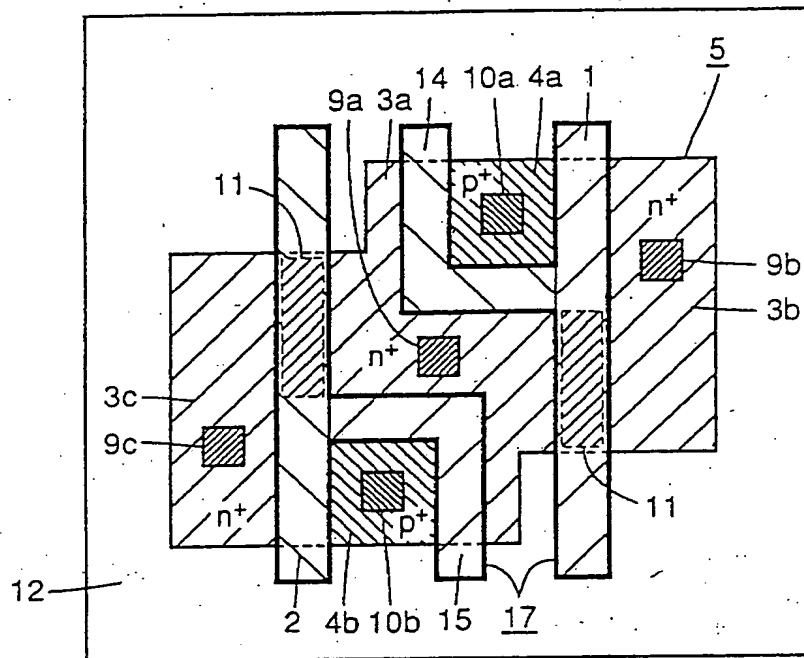


FIG. 16

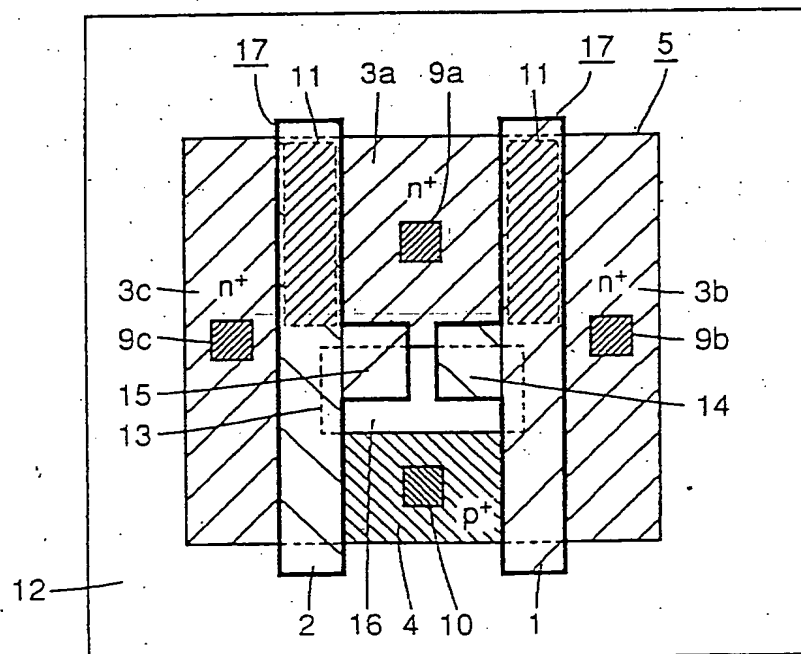




FIG. 17

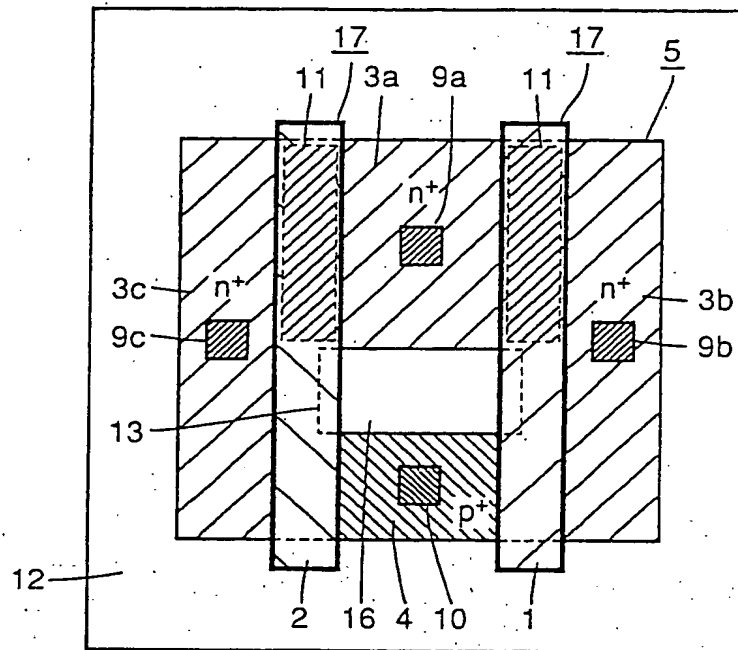


FIG. 18

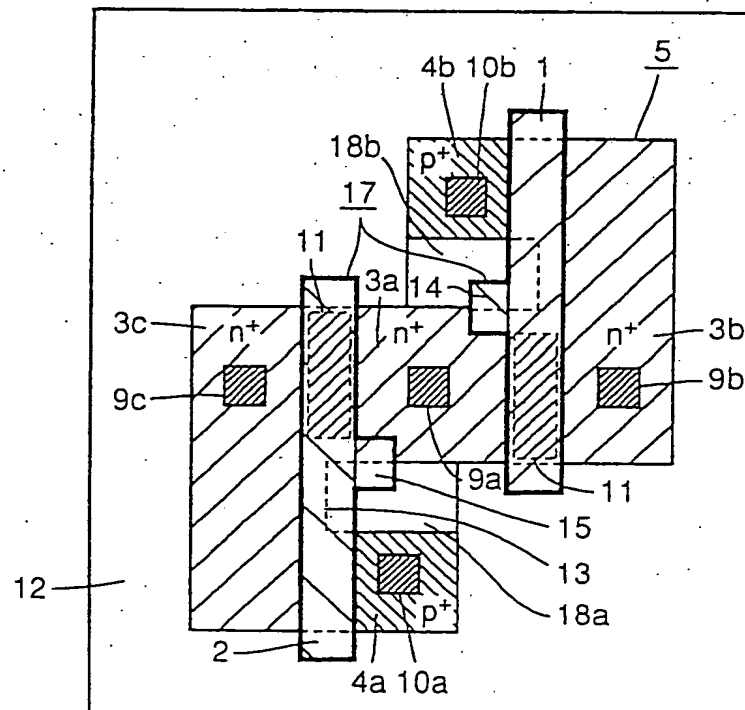


FIG.19

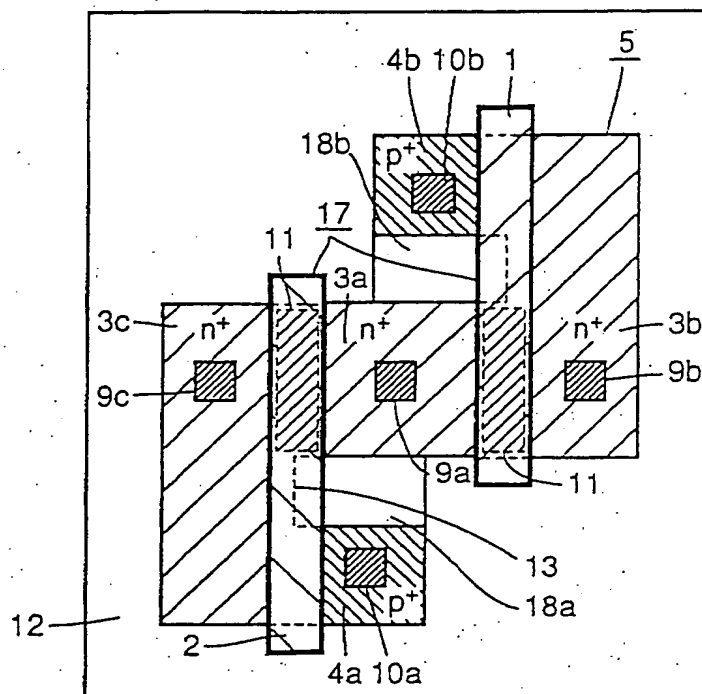


FIG.20

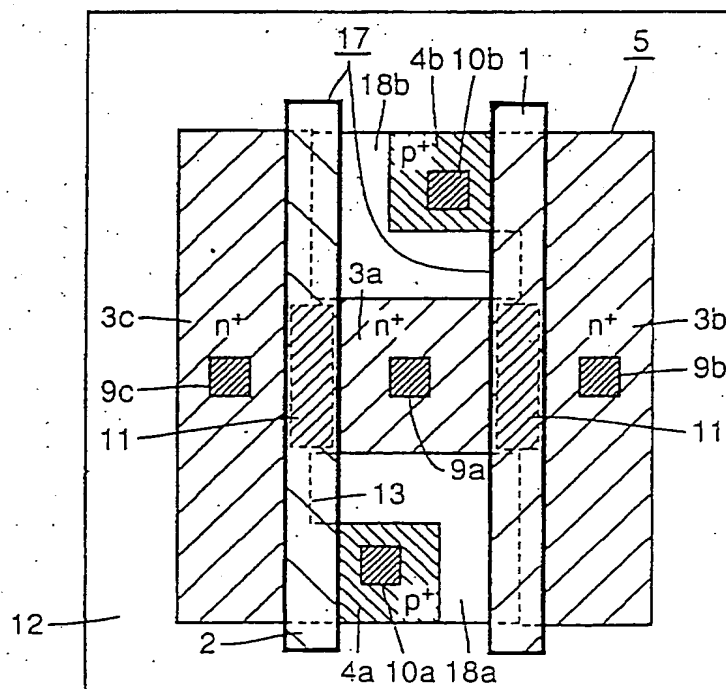


FIG.21

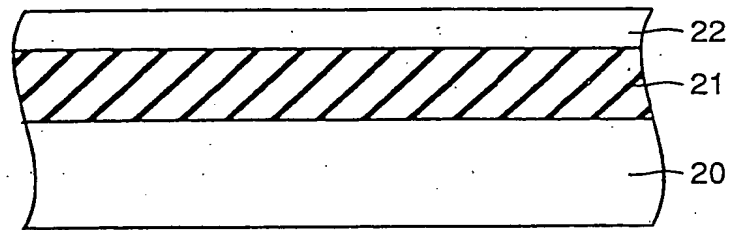


FIG.22

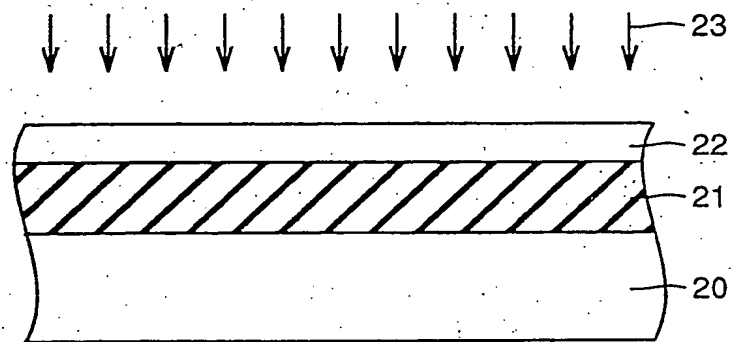


FIG.23

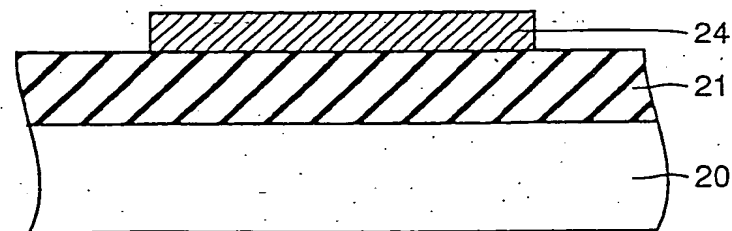


FIG.24

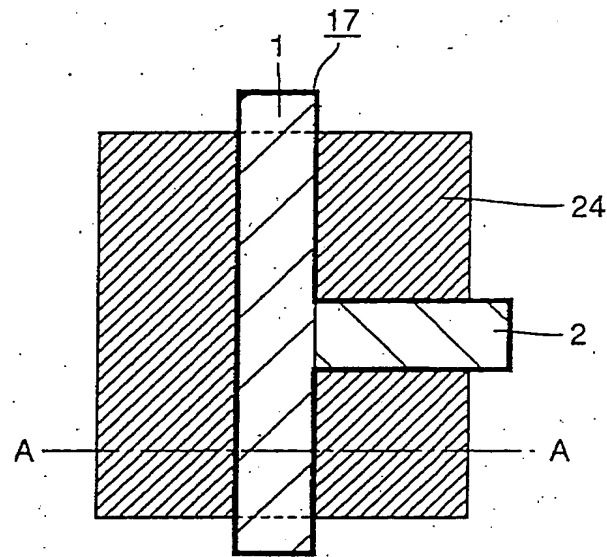


FIG.25

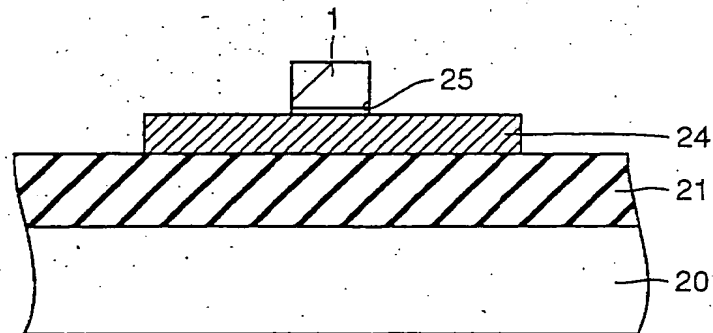


FIG.26

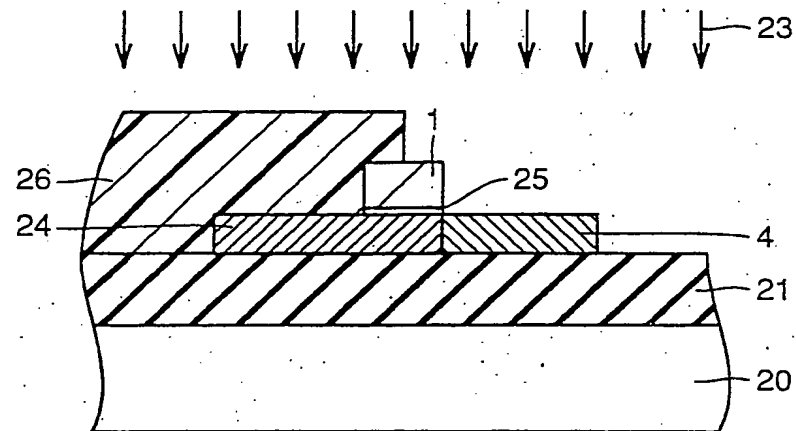


FIG.27

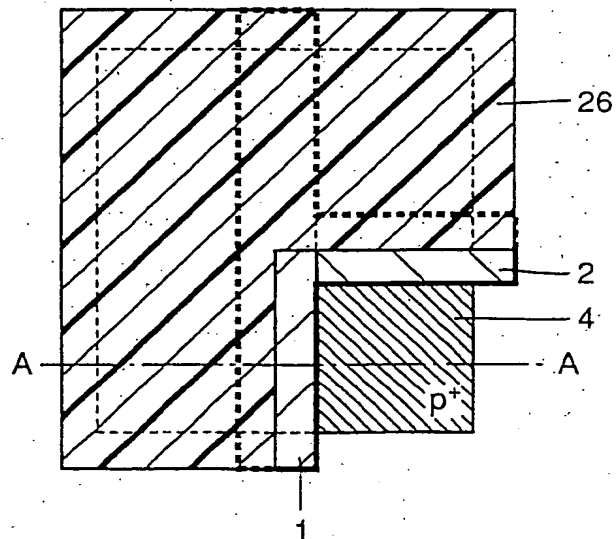


FIG.28

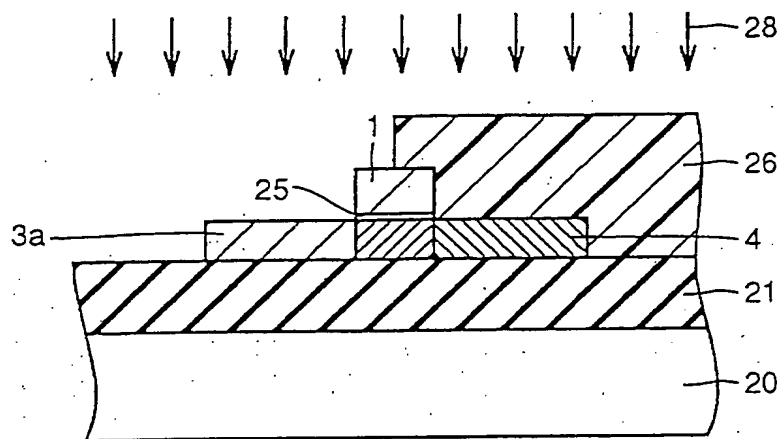


FIG.29

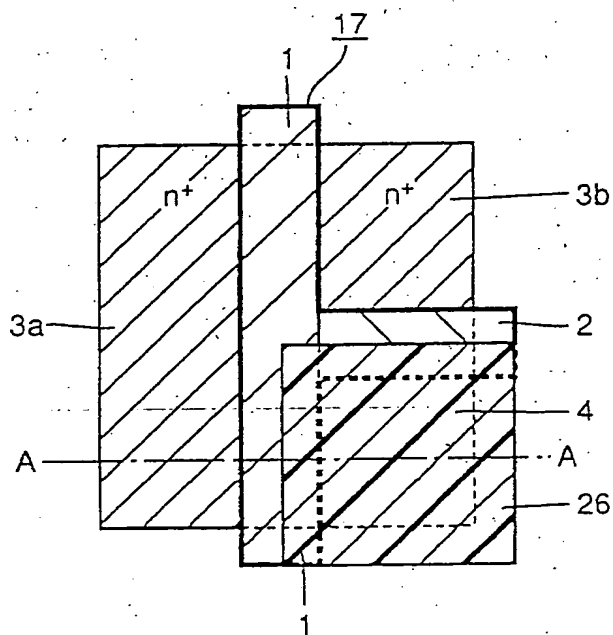




FIG.30

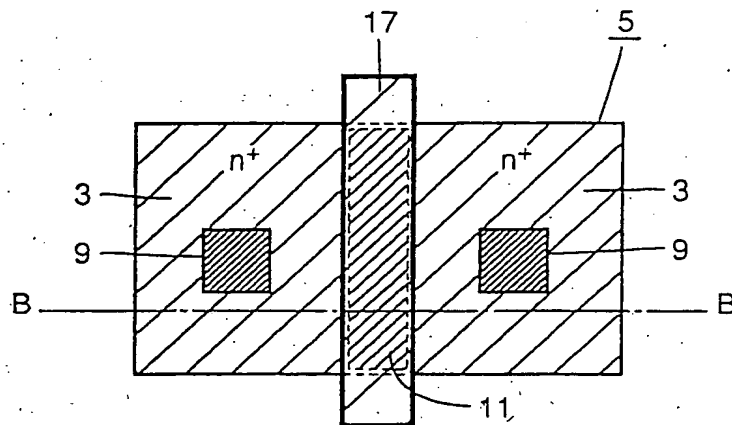


FIG.31

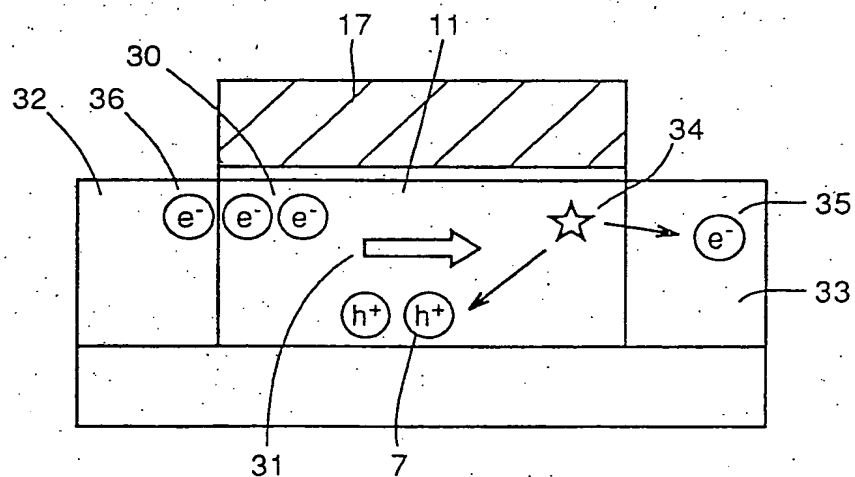


FIG.32

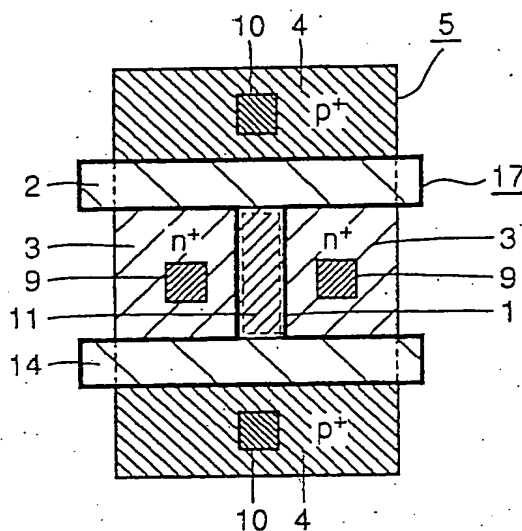


FIG.33

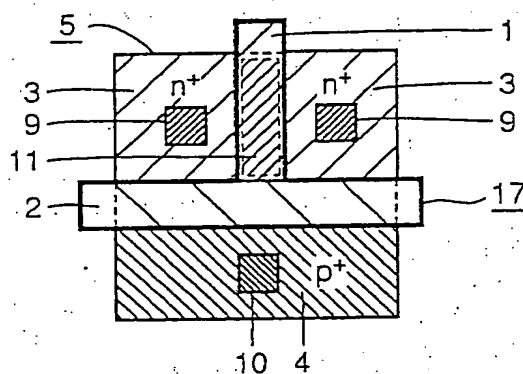


FIG.34

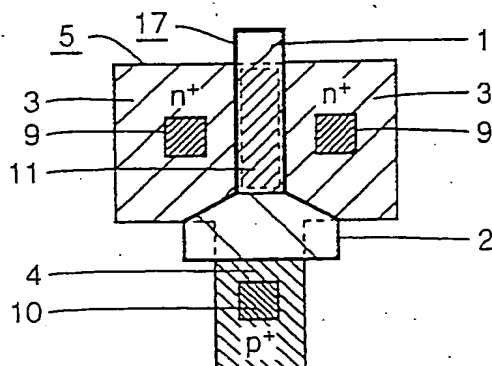


FIG.35

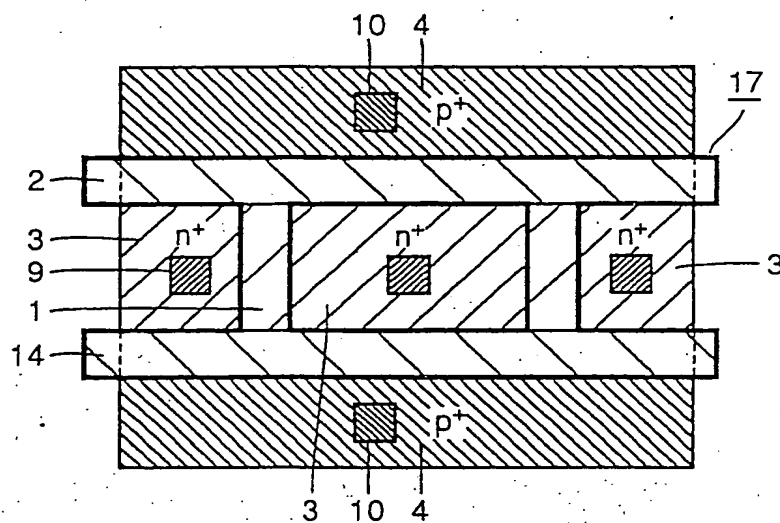


FIG.36

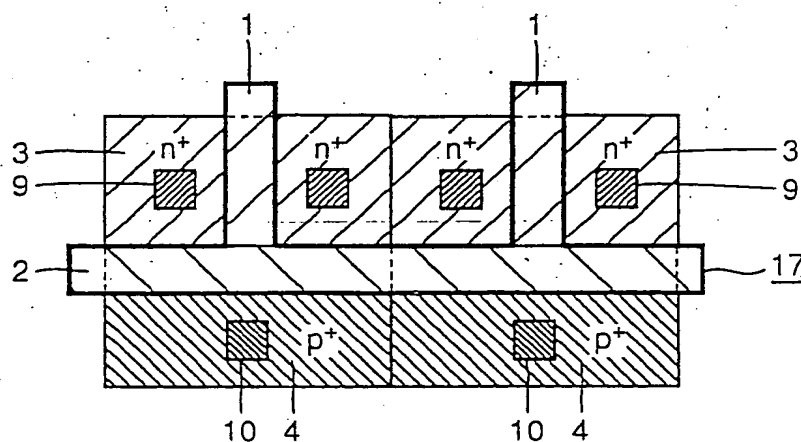


FIG.37

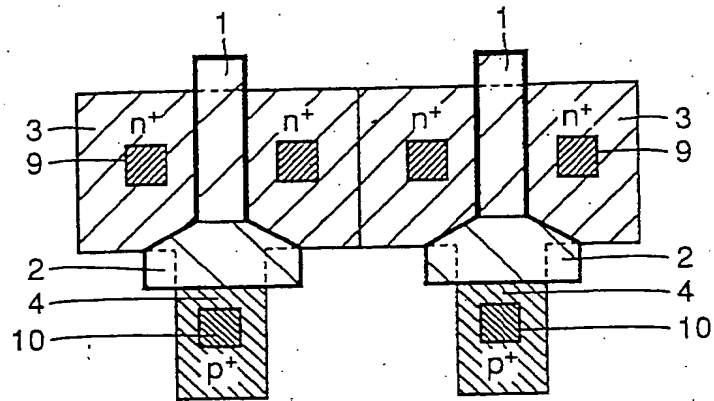


FIG.38

